

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

JCE21 U.S. PTO
10/051701
01/17/02

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2001년 제 44035 호
Application Number PATENT-2001-0044035

출원년월일 : 2001년 07월 21일
Date of Application JUL 21, 2001

출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.

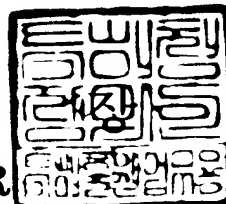
2001 08 월 22 일
 년 월 일

특

허

청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2001.07.21
【발명의 명칭】	액정표시패널용 기판 및 그 제조방법
【발명의 영문명칭】	Substrate for Liquid crystal display(LCD) panel and Method of manufacturing the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	전진
【성명의 영문표기】	JEON, Jin
【주민등록번호】	751127-1653119
【우편번호】	431-088
【주소】	경기도 안양시 동안구 갈산동 대우아파트 110-306
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 박영우 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	86 면 86,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	0 항 0 원
【합계】	115,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

액정표시패널용 기판 및 그 제조방법이 개시되어 있다. 투광성 절연기판 상의 화소영역과 주변영역에 게이트 배선과 상기 게이트 배선으로부터 분기된 게이트 전극을 포함하는 게이트 패턴이 형성된다. 게이트 패턴을 절연하기 위한 게이트 절연막 위에 제 1 불순물 영역, 제 2 불순물 영역 및 채널 영역을 포함하는 활성층 패턴을 형성한다. 상기 활성층 패턴의 제1 불순물 영역과 콘택되는 드레인 전극, 제2 불순물 영역과 콘택되는 소오스 전극 및 상기 드레인 전극과 연결되고 상기 게이트 배선과 직교하는 데이터 배선을 포함하는 데이터 패턴을 형성한다. 드레인 전극을 부분적으로 노출하는 제1 콘택홀, 상기 주변 영역의 제1 트랜지스터의 게이트 전극을 노출하는 제2 콘택홀 및 상기 주변 영역의 제2 트랜지스터의 소오스 전극/드레인 전극을 노출하는 제3 콘택홀을 포함하는 보호막을 형성한다. 상기 제1 콘택홀을 통하여 상기 화소영역의 드레인 전극과 연결되는 제 1 전극패턴, 상기 제2, 제3 콘택홀을 통하여 주변영역의 제1 트랜지스터의 상기 노출된 게이트 전극과 상기 제2 트랜지스터의 상기 노출된 소오스/드레인 전극을 연결하는 제 2 전극패턴을 포함하는 전극 패턴부를 형성한다.

【대표도】

도 7

【명세서】**【발명의 명칭】**

액정표시패널용 기판 및 그 제조방법{Substrate for Liquid crystal display (LCD) panel and Method of manufacturing the same}

【도면의 간단한 설명】

도 1은 액정표시기 패널의 개략적 평면도이다.

도 2는 전송게이트(TG: Transmission Gate) 방식의 단일 소오스 구동회로부를 갖는 1.85" 패널의 구성을 개략적으로 보여주는 평면도이다.

도 3은 도 2의 개략적 회로구성도이다.

도 4는 더블 게이트 방식의 단일 소오스 구동 회로부를 갖는 1.85" 패널의 구성을 개략적으로 보여주는 평면도이다.

도 5는 도 4의 개략적 회로도이다.

도 6은 본 발명의 실시예에 따르는 액정표시기용 비정질 실리콘 박막 트랜지스터 기판의 게이트 드라이브 영역을 구성하는 쉬프트 레지스터의 회로구성도이다.

도 7은 본 발명의 일 실시예에 따르는 비정질실리콘 박막 트랜지스터 기판의 단면도이다.

도 8은 본 발명의 다른 실시예에 따르는 비정질실리콘 박막 트랜지스터 기판의 단면도이다.

도 9 내지 도 14는 도 7의 박막 트랜지스터 기관에서 단위 화소영역과 그 인접부의 구성을 개략적으로 보여주는 평면도이다.

도 15 내지 도 23은 도 9 내지 도 14의 제 1 라인을 따라서 절단된 단면도들이다.

도 24 내지 도 29는 도 9 내지 도 14의 제 2 라인을 따라서 절단된 단면도들이다.

도 30은 게이트 드라이브 영역과 인접한 화소영역을 부분적으로 도시한 평면도이다.

도 31 내지 도 35는 도 30의 구조를 형성하기 위한 단위 공정에서의 패턴을 보여주는 평면도이다.

도 36은 도 30의 단위 화소영역과 그 주변부의 부분 상세 평면도이다.

도 37 내지 도 41은 단위 화소영역과 그 주변부에서의 단위 공정을 보여주는 부분 상세 평면도이다.

도 42는 도 30의 게이트 드라이브 영역의 부분 상세 평면도이다.

도 43 내지 도 47은 도 42의 게이트 드라이브 영역 부분에서의 단위 공정을 보여주는 부분 상세 평면도들이다.

도 48은 본 발명의 실시예에 따르는 게이트 드라이브 영역에서 셀부의 구성을 보여주는 평면도이다.

도 49는 본 발명의 실시예에 따르는 게이트 드라이브 영역에서 콘택부의 상세 구성을 보여주는 평면도이다.

도 50은 본 발명의 실시예에 따르는 게이트 드라이브 영역에서 신호선 연결 구성을 보여주는 평면도이다.

도 51은 DE1, DE2라인과, 소오스 구동회로부터 인출된 데이터 신호선 및 스위치부의 평면도이다.

<도면의 주요 부분에 대한 부호의 설명>

110 : 투광성 절연기판

112, 112f~112i, 212a~212d : 게이트 패턴

114, 214 : 게이트 절연막

116a~116d, 216: 비정질 실리콘

118a~118d, 218 : 불순물이 도핑된 비정질 실리콘

120, 120a~120g, 220 : 데이터 패턴

130, 222 : 보호막 140, 224 : 화소전극

142, 143: 콘택용 전극 패턴

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<31> 본 발명은 박막 트랜지스터 및 그 제조방법에 관한 것으로, 보다 상세하게는 액정표시 장치에서 게이트 드라이버를 비정질 실리콘 박막 트랜지스터 기판에 집적시킨 액정표시패널용 비정질실리콘 박막 트랜지스터 기판 및 그 제조방법에 관한 것이다.

- <32> 오늘날과 같은 정보화 사회에 있어서 전자 디스플레이 장치(electronic display device)의 역할은 갈수록 중요해지며, 각종 전자 디스플레이 장치가 다양한 산업 분야에 광범위하게 사용되고 있다.
- <33> 일반적으로 전자 디스플레이 장치란 다양한 정보를 시각을 통해 인간에게 전달하는 장치를 말한다. 즉, 전자 디스플레이 장치란 각종 전가 기기로부터 출력되는 전기적 정보 신호를 인간의 시각으로 인식 가능한 광 정보 신호로 변환하는 전자 장치라고 정의할 수 있으며, 인간과 전자 기기를 연결하는 가교적 역할을 담당하는 장치로 정의될 수도 있다.
- <34> 이러한 전자 디스플레이 장치에 있어서, 광 정보 신호가 발광 현상에 의해 표시되는 경우에는 발광형 표시(emissive display) 장치로 불리며, 반사, 산란, 간섭 현상 등에 의해 광 변조를 표시되는 경우에는 수광형 표시(non-emissive display) 장치로 일컬어진다. 능동형 표시 장치라고도 불리는 상기 발광형 표시 장치로는 음극선관(cathode ray tube; CRT), 플라즈마 디스플레이 패널(plasma display panel; PDP), 발광 다이오드(light emitting diode; LED) 및 일렉트로루미네센트 디스플레이(electroluminescent display; ELD) 등을 들 수 있다. 또한, 수동형 표시 장치인 상기 수광형 표시 장치에는 액정표시장치(liquid crystal display; LCD), 전기화학 표시장치(electrochemical display; ECD) 및 전기 영동 표시장치(electrophoretic image display; EPID) 등이 해당된다.
- <35> 텔레비전이나 컴퓨터용 모니터 등과 같은 화상표시장치에 사용되는 음극선관(CRT)은 표시 품질 및 경제성 등의 면에서 가장 높은 점유율을 차지하고 있으

나, 무거운 중량, 큰 용적 및 높은 소비 전력 등과 같은 많은 단점을 가지고 있다.

<36> 그러나, 반도체 기술의 급속한 진보에 의해 각종 전자 장치의 고체화, 저전압 및 저 전력화와 함께 전자 기기의 소형 및 경량화에 따라 새로운 환경에 적합한 전자 디스플레이 장치, 즉 얇고 가벼우면서도 낮은 구동 전압 및 낮은 소비 전력의 특징을 갖춘 평판 패널(flat panel)형 디스플레이 장치에 대한 요구가 급격히 증대하고 있다.

<37> 현재 개발된 여러 가지 평판 디스플레이 장치 중에서 액정표시장치는 다른 디스플레이 장치에 비해 얇고 가벼우며, 낮은 소비 전력 및 낮은 구동 전압을 갖추고 있을 뿐만 아니라, 음극선관에 가까운 화상 표시가 가능하기 때문에 다양한 전자 장치에 광범위하게 사용되고 있다.

<38> 액정표시장치는 전극이 형성되어 있는 두 장의 기판과 그 사이에 삽입되어 있는 액정층으로 이루어지며, 상기 전극에 전압을 인가하여 상기 액정층의 액정 분자들을 재배열시켜 투과되는 빛의 양을 조절하여 디스플레이 장치이다.

<39> 액정표시장치 중에서도 현재 주로 사용되는 것은 두 장의 기판에 각각 전극이 형성되어 있고 각 전극에 인가되는 전압을 스위칭하는 박막 트랜지스터를 구비하는 장치이며, 상기 박막 트랜지스터는 두 장의 기판 중 하나에 형성되는 것이 일반적이다.

<40> 화소부에 박막 트랜지스터를 이용하는 액정표시장치는 비정질형과 다결정형으로 구분되는데, 다결정형 장치는 소자 동작을 고속화할 수 있고 소자의 저 전

력 구동이 가능하며 화소부 박막 트랜지스터와 구동회로용 반도체 소자를 함께 형성할 수 있다는 장점을 갖는다.

<41> 그런데, 다결정형 액정표시장치의 구동회로는 비정질 실리콘의 증착후 증착된 비정질 실리콘을 다결정 실리콘으로 변환하기 위한 어닐링 공정이 추가적으로 수행되어야 하므로, 어닐링 공정으로 인하여 기판의 재질에 제한을 가진다. 즉, 유리기판을 사용하는 경우, 어닐링 공정으로 인하여 기판의 변형을 야기할 수 있다.

<42> 또한, 게이트 드라이버의 경우 상보형 모스트랜지스터(CMOS)의 구조를 가지므로, 동일한 기판에 n-채널 트랜지스터와 p-채널 트랜지스터를 함께 형성되어야 한다. 이 때문에 단일 채널형 트랜지스터를 형성하는 비정질형 박막 트랜지스터 액정표시장치를 제조하는 공정에 비해 다결정형 박막 트랜지스터 액정표시장치를 제조하는 공정이 보다 복잡해지고 어려워진다. 통상적으로, 액정표시장치의 박막 트랜지스터가 형성되는 기판은 마스크를 이용한 사진식각 공정을 통해 제조하는 것이 일반적이는데, 현재는 7매 내지 9매의 마스크를 사용하고 있다.

<43> 사진식각 공정의 수가 늘수록 공정 비용과 공정 오류의 확률이 증가하여 제조 원가를 높이는 원인이 되므로, 컬러 엘씨디 패널용 박막 트랜지스터 기판을 제조하는 공정에서 마스크의 수를 줄일 수 있는 기술 개발이 절실히 요구되고 있다.

【발명이 이루고자 하는 기술적 과제】

<44> 따라서, 본 발명의 제1 목적은 동일 물질로 사용할 수 있는 여러 층들을 동일한 층에 형성하여 마스크의 수를 줄일 수 있는 액정표시장치용 비정질 실리콘 박막 트랜지스터를 제공하는데 있다.

<45> 본 발명의 제2 목적은 동일 물질로 사용할 수 있는 여러 층들을 동일한 층에 형성하여 마스크의 수를 줄일 수 있는 액정표시장치용 비정질 실리콘 박막 트랜지스터의 제조방법을 제공하는데 있다.

<46> 본 발명의 제3의 목적은 게이트 구동 드라이버를 박막 트랜지스터 기관의 일측 또는 양측 가장자리에 형성한 액정 표시 장치의 박막 트랜지스터를 제공하는 것이다.

<47> 본 발명의 제4의 목적은 게이트 구동 드라이버의 쉬프트 레지스터를 구성하는 서로 인접한 제 1 트랜지스터의 게이트와 제 2 트랜지스터의 소오스/드레인을 별도의 콘택공정없이 화소전극의 형성시 함께 형성하여, 공정을 간소화한 박막 트랜지스터 기관의 제조 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<48> 상기한 목적 및 장점들을 달성하기 위하여 본 발명은, 투광성 절연기관 상의 화소영역과 주변영역에 각각 형성된 게이트 배선과 상기 게이트 배선으로부터 분기된 게이트 전극을 포함하는 게이트 패턴; 상기 게이트 패턴을 포함하는 상기 기관 상에 형성된 게이트 절연막; 상기 게이트 절연막상에 형성되고, 제1 불순물 영역, 제2 불순물 영역, 상기 제1 불순물 영역 및 상기 제2 불순물 영역 사

이에 형성된 채널 영역을 포함하는 활성층 패턴; 상기 활성층 패턴을 포함하는 결과적인 기판 상에 형성되어, 상기 제1 불순물 영역과 콘택되는 드레인 전극, 상기 제2 불순물 영역과 콘택되는 소오스 전극 및 상기 드레인 전극과 연결되고 상기 게이트 배선과 직교하는 데이터 배선을 포함하는 데이터 패턴; 상기 데이터 패턴을 포함하는 결과적인 기판 상에 형성되어, 상기 드레인 전극을 부분적으로 노출하는 제1 콘택홀, 상기 주변 영역의 제 1 트랜지스터의 게이트 전극을 노출하는 제2 콘택홀 및 상기 주변 영역의 제 2 트랜지스터의 소오스 전극/드레인 전극을 노출하는 제3 콘택홀을 포함하는 제1 층간 절연막; 및 상기 제1 층간 절연막 상에 형성되고, 상기 제 1 콘택홀을 통하여 상기 화소영역의 드레인 전극과 연결되는 제1 전극패턴, 상기 제 2, 제 3 콘택홀을 통하여 상기 제 1 트랜지스터의 노출된 상기 게이트 전극과 상기 제 2 트랜지스터의 노출된 상기 소오스/드레인 전극을 연결하는 제2 전극패턴을 포함하는 전극 패턴부를 포함하는 것을 특징으로 하는 비정질 박막 트랜지스터를 갖는 액정표시패널을 제공한다.

<49> 본 발명의 다른 측면에 따르면, 투광성 절연기관 상의 화소영역과 주변영역에 각각 형성된 게이트 배선과 상기 게이트 배선으로부터 분기된 게이트 전극을 포함하는 게이트 패턴; 상기 게이트 패턴을 포함하는 상기 기판 상에 형성된 게이트 절연막; 상기 게이트 절연막상에 형성되고, 제1 불순물 영역, 제2 불순물 영역, 상기 제1 불순물 영역 및 상기 제2 불순물 영역 사이에 형성된 채널 영역을 포함하는 활성층 패턴; 상기 활성층 패턴을 포함하는 기판 상에 형성되어, 상기 제1 불순물 영역과 콘택되는 드레인 전극 및 상기 제2 불순물 영역과 콘택되는 소오스 전극을 포함하는 데이터 패턴; 상기 데이터 패턴을 포함하는 결과적인

기관 상에 형성되며, 상기 화소영역의 상기 소오스 전극을 부분적으로 노출하는 제1 콘택홀, 상기 화소영역의 상기 드레인 전극을 부분적으로 노출하는 제2 콘택홀, 상기 주변 영역의 제1 트랜지스터의 게이트를 노출하는 제3 콘택홀 및 상기 주변 영역의 제2 트랜지스터의 소오스/드레인을 노출하는 제4 콘택홀을 포함하는 제1 층간 절연막; 및 상기 제1 층간 절연막 상에 형성되고, 상기 제1 콘택홀을 통하여 상기 화소영역의 소오스 전극과 연결되는 제1 전극 패턴, 상기 제2 콘택홀을 통하여 상기 화소영역의 상기 드레인 전극과 연결되는 제2 전극 패턴, 상기 제3, 제4 콘택홀을 통하여 상기 제1 트랜지스터의 노출된 상기 게이트와 상기 제2 트랜지스터의 노출된 상기 소오스/드레인을 연결하는 제3 전극 패턴을 포함하는 것을 특징으로 하는 비정질 박막 트랜지스터를 갖는 액정표시패널이 제공된다.

<50> 본 발명의 또 다른 측면에 따르면, 투광성 절연기관 상의 화소영역과 주변 영역에 게이트 전극과 게이트 배선을 포함하는 게이트 패턴을 형성하는 단계; 상기 게이트 패턴을 포함하는 상기 기관 상에 게이트 절연막, 비정질 실리콘층, 불순물이 도핑된 비정질 실리콘층 및 금속층을 순차적으로 형성하는 단계; 소오스 전극과 드레인 전극 사이의 채널 부분의 높이가 소오스 전극 및 드레인 전극 부분의 표면 높이보다 낮은 감광막 패턴을 상기 금속층 위에 형성하는 단계; 상기 감광막 패턴을 마스크로 하여 노출된 금속층과 그 하부의 도핑된 비정질 실리콘층 및 비정질 실리콘층을 패터닝하여 상기 채널 영역의 상기 금속층을 함께 제거하여 서로 분리된 소오스 및 드레인 전극과 상기 드레인 전극으로부터 분기되고 상기 게이트 라인과 직교하는 데이터 라인을 포함하는 데이터 패턴을 형성하는

단계; 상기 감광막 마스크 패턴을 제거하고, 상기 채널 영역의 상기 도핑된 비정질 실리콘 층을 제거하는 단계; 상기 결과적인 기판 상에 제1 층간 절연막을 형성하는 단계; 상기 제1 층간 절연막을 부분적으로 식각하여 상기 화소영역의 상기 드레인 전극을 부분적으로 노출시키는 제1 콘택홀, 상기 주변 영역의 제 1 트랜지스터의 게이트를 노출하는 제2 콘택홀 및 상기 주변 영역의 제 2 트랜지스터의 소오스/드레인을 노출하는 제3 콘택홀을 형성하는 단계; 상기 제1 내지 제3 콘택홀을 포함하는 상기 제1 층간 절연막 상에 도전막을 형성하는 단계; 및 상기 도전막을 패터닝하여 상기 제1 콘택홀을 통하여 상기 화소영역의 드레인 전극과 연결되는 제1 전극패턴, 상기 제2, 제3 콘택홀을 통하여 상기 제 1 트랜지스터의 노출된 상기 게이트와 상기 제2 트랜지스터의 노출된 상기 소오스/드레인을 연결하는 제2 전극패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 비정질 박막 트랜지스터를 갖는 액정표시패널의 제조방법이 제공된다.

<51> 본 발명의 또 다른 측면에 따르면, 투광성 절연기판 상의 화소영역과 주변 영역에 게이트 전극과 게이트 배선을 포함하는 게이트 패턴을 형성하는 단계; 상기 게이트 패턴을 포함하는 상기 기판 상에 게이트 절연막, 비정질 실리콘층, 불순물이 도핑된 비정질 실리콘층 및 금속층을 순차적으로 형성하는 단계; 소오스 전극과 드레인 전극 사이의 채널 부분의 높이가 소오스 전극 및 드레인 전극 부분의 표면 높이보다 낮은 감광막 패턴을 상기 금속층 위에 형성하는 단계; 상기 감광막 패턴을 마스크로 하여 노출된 금속층과 그 하부의 도핑된 비정질 실리콘층 및 비정질 실리콘층을 패터닝하여, 상기 채널 영역의 상기 금속층을 함께 제거하여 서로 분리된 소오스 및 드레인 전극을 포함하는 데이터 패턴을 형성하는

단계; 상기 감광막 패턴을 제거하고, 상기 채널 영역의 상기 도핑된 비정질 실리콘 층을 제거하는 단계; 상기 결과적인 기판 상에 제1 층간 절연막을 형성하는 단계; 상기 제1 층간 절연막을 부분적으로 식각하여 상기 화소영역의 상기 드레인 전극을 부분적으로 노출하는 제1 콘택홀, 상기 화소영역의 상기 소오스 전극을 부분적으로 노출하는 제2 콘택홀, 상기 주변 영역의 제1 트랜지스터의 게이트를 노출하는 제3 콘택홀 및 상기 주변 영역의 제2 트랜지스터의 소오스/드레인을 노출하는 제4 콘택홀을 형성하는 단계; 상기 제1 내지 제4 콘택홀을 포함하는 상기 제1 층간 절연막 상에 도전막을 형성하는 단계; 및 상기 도전막을 패터닝하여 상기 제1 콘택홀을 통하여 상기 화소영역의 소오스 전극과 연결되는 제1 전극 패턴, 상기 제2 콘택홀을 통하여 화소영역의 드레인 전극과 연결되는 제2 전극 패턴 및 상기 제3, 제4 콘택홀을 통하여 상기 주변영역의 상기 제1 트랜지스터의 상기 노출된 게이트와 상기 제2 트랜지스터의 상기 노출된 소오스/드레인을 연결하는 제3 전극패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치용 박막 트랜지스터의 제조방법이 제공된다.

<52> 본 발명의 또 다른 측면에 따르면, 투광성 절연기판 상의 화소영역과 주변 영역에 게이트 전극과 게이트 배선을 포함하는 게이트 패턴을 형성하는 단계; 상기 게이트 패턴을 포함하는 상기 기판 상에 게이트 절연막을 형성하는 단계; 상기 게이트 절연막상에 제1 불순물 영역, 제2 불순물 영역 및 상기 제1 불순물 영역과 상기 제2 불순물 영역 사이에 채널 영역을 포함하는 활성층 패턴을 형성하는 단계; 상기 제1 불순물 영역 위에서 상기 제1 불순물 영역과 콘택되는 드레인

전극과, 상기 제2 불순물 영역 위에서 상기 제2 불순물 영역과 콘택되는 소오스 전극과, 상기 소오스 전극으로부터 분기되어 상기 게이트 라인과 직교하는 데이터 라인을 포함하는 데이터 패턴을 형성하는 단계; 상기 데이터 패턴을 포함하는 기판 상에 층간 절연막을 형성하는 단계; 상기 층간 절연막을 부분적으로 식각하여 상기 화소영역의 상기 드레인 전극을 부분적으로 노출하는 제1 콘택홀, 상기 주변 영역의 제1 트랜지스터의 게이트를 노출하는 제 2 콘택홀 및 상기 주변 영역의 제2 트랜지스터의 소오스/드레인을 노출하는 제3 콘택홀을 형성하는 단계; 상기 제 1 내지 제 3 콘택홀을 포함하는 상기 층간 절연막 상에 도전막을 형성하는 단계; 및 상기 도전막을 패터닝하여 상기 제1 콘택홀을 통하여 상기 화소영역의 드레인 전극과 연결되는 제1 전극패턴, 상기 제2, 제3 콘택홀을 통하여 상기 주변영역의 상기 제1 트랜지스터의 상기 노출된 게이트와 상기 제2 트랜지스터의 상기 노출된 상기 소오스/드레인을 연결하는 제2 전극패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 비정질 박막 트랜지스터를 갖는 액정표시패널의 제조방법이 제공된다.

<53> 본 발명의 또 다른 측면에 따르면, 투광성 절연기판 상의 화소영역과 주변 영역에 게이트 전극과 게이트 배선을 포함하는 게이트 패턴을 형성하는 단계; 상기 게이트 패턴을 포함하는 상기 기판 상에 게이트 절연막을 형성하는 단계; 상기 게이트 절연막 상의 소정 위치에 제 1 불순물 영역, 제 2 불순물 영역 및 상기 제 1 불순물 영역과 상기 제 2 불순물 영역 사이에 채널 영역을 포함하는 활성층 패턴을 형성하는 단계; 상기 제 1 불순물 영역 위에서 상기 제 1 불순물 영역과 콘택되는 드레인 전극과, 상기 제 2 불순물 영역 위에서 상기 제 2 불순물

영역과 콘택되는 소오스 전극과, 상기 소오스 전극으로부터 분기되어 상기 게이트 라인과 직교하는 데이터 라인을 포함하는 데이터 패턴을 형성하는 단계; 상기 데이터 패턴을 포함하는 결과적인 기판 상에 제 1 층간 절연막을 형성하는 단계; 상기 제1 층간 절연막을 부분적으로 식각하여 상기 화소영역의 상기 소오스 전극을 부분적으로 노출시키는 제1 콘택홀, 상기 화소영역의 상기 드레인 전극을 부분적으로 노출하는 제2 콘택홀, 상기 주변 영역의 제1 트랜지스터의 게이트를 노출하는 제3 콘택홀 및 상기 주변 영역의 제2 트랜지스터의 소오스/드레인을 노출하는 제4 콘택홀을 형성하는 단계; 상기 제1 내지 제4 콘택홀을 포함하는 상기 제1 층간 절연막 상에 도전막을 형성하는 단계; 및 상기 도전막을 패터닝하여 상기 제1 콘택홀을 통하여 상기 화소영역의 소오스 전극과 연결되는 제1 전극패턴, 상기 제2 콘택홀을 통하여 상기 화소영역의 드레인 전극과 연결되는 제2 전극패턴 및 상기 제3, 제4 콘택홀을 통하여 상기 주변영역의 상기 제1 트랜지스터의 상기 노출된 게이트와 상기 제2 트랜지스터의 상기 노출된 소오스/드레인을 연결하는 제3 전극패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 비정질 박막 트랜지스터를 갖는 액정표시패널의 제조방법이 제공된다.

<54> 이처럼, 본 발명은 게이트 구동 드라이브 영역의 면적을 최소화하는 동시에, 비정질 박막 트랜지스터를 형성하기 위한 마스크의 수를 4매 내지 5매로 줄일 수 있다.

<55> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.

- <56> 도 1은 본 발명의 일 실시예에 따르는 액정표시기 패널의 개략적 평면도로서, 1.85" 패널의 예를 보여준다.
- <57> 도 1을 참조하면, 액정표시기 패널은 하부 기판인 박막 트랜지스터 기판(100)과 상부 기판인 컬러 필터 기판(200)과, 박막 트랜지스터 기판(100)과 컬러 필터 기판(200) 사이에 개재된 액정층(미도시)을 포함한다.
- <58> 액정표시기 패널의 일측 변을 따라서 FPC(Flexible Printed Circuit) 커넥터(300)가 박막 트랜지스터 기판(100)에 부착된다.
- <59> 박막 트랜지스터 기판(100)은 크게 화소영역과 주변 영역으로 나누어지고, 화소영역에는 매트릭스상으로 화소전극이 배열되어 있다. 상기 화소전극 각각에는 스위칭 소자인 박막 트랜지스터가 연결되어 있다. 도 1에서 참조부호 D.A는 표시영역(Display Area)를 의미한다.
- <60> 주변영역에는 FPC 커넥터(300)를 통하여 입력된 외부 화상신호를 게이트 구동신호와 데이터 구동신호로 분리하여 데이터 구동신호를 데이터 라인에 인가하기 위한 소오스 구동회로부(400)와, 소오스 구동 회로부(400)에서 분리된 게이트 구동신호를 게이트 라인에 인가하기 위한 게이트 구동 회로부(500)가 배치된다.
- <61> 소오스 구동회로부(400)는 칩-온-글라스(Chip On Glass:COG)타입으로 기판상에 형성된다. 소오스 구동 회로부(400)는 도 1에 도시된 것처럼, 복수 개로 만들어질 수 있고, 도 2에 도시된 것처럼 단일 구조로 만들어질 수 있다.
- <62> 도 2는 전송게이트(TG: Transmission Gate) 방식의 단일 소오스 구동회로부를 갖는 1.85" 패널의 구성을 개략적으로 보여주는 평면도로서, 소오스 구동 회

로부(400)로부터 화소영역의 데이터 라인에 인가되는 데이터 신호를 시간차를 두
고서 인가하기 위한 스위치부(600)가 배치된다. 도 3에 상기 스위치 부(600)의
개략적 회로도가 도시되어 있다. 또한, 도 51에 DE1, DE2라인과, 소오스 구동회
로부로부터 인출된 데이터 신호선 및 스위치부(600)의 평면 구성이 도시되어 있
다.

<63> 도 4는 단일 소오스 구동 회로부를 갖는 1.85" 패널의 구성을 개략적으로
보여주는 평면도로서, 더블 게이트(DG:Double Gate) 방식의 구성을 보여준다.

<64> 도 5에 나타낸 바와 같이, 더블 게이트 방식은 게이트 구동 회로부가 패널
의 양변을 따라서 각각 배치된다. 예를 들어, 좌측의 제1 게이트 구동회로부
(500)는 기수 번째 화소전극들에 연결된 박막 트랜지스터에 게이트 신호를 인가
하고, 우측의 제2 게이트 구동 회로부(501)는 우수 번째 화소전극들에 연결된 박
막 트랜지스터에 게이트 신호를 인가한다.

<65> 도 1 내지 도 5에서 도시된 엘씨디 패널들의 게이트 구동 회로부는 다수의
쉬프트 레지스터들로 구성되는데, 도 6은 이러한 쉬프트 레지스터의 회로구성을
보여준다.

<66> 본 발명의 실시예들에서 있어서 게이트 구동회로부는 다음과 같은 특징들을
갖는다. 먼저, 도 48에 도시된 바와 같이, 박막 트랜지스터 기판과 컬러필터 기
판을 합착할 때 사용되는 셀(Seal) 라인은 게이트 구동회로부와 분리하여 설계하
므로써, 셀 라인이 게이트 구동회로부의 충전절연막 상에 위치할 경우에 존재할
수 있는 배선 쇼트 불량을 방지하도록 한다.

<67> 또한, 도 49에 도시된 것처럼, 콘택을 최소화하고, 최소의 면적으로 회로를 구현한다. 출력단(OUT)과 직접 연결되어 있고, 폭이 넓은 제1, 제2 트랜지스터(NT1, NT2)가 출력부에 배치되어 있고, 나머지 제 3내지 제9 트랜지스터(NT3~NT9)가 중간에 배치되어 있고, 도 50에 도시된 것처럼, 신호선들은 바깥 쪽에 위치한다.

<68> 아울러, 화소전극은 사용범위를 콘택 부위에 한정하여 전극 종류에 관계없이 회로특성이 영향을 받지 않도록 한다.

<69> 또한, 신호선의 배선평은 저항에 대한 민감도가 클수록 그 폭을 증가시킨다. ($V_{off} > V_{CK1} = V_{CK2} > V_{on} > V_{st}$)

<70> 실시예 1

<71> 도 7은 본 발명의 일 실시예에 의한 비정질실리콘 박막 트랜지스터의 단면도로서, 화소영역과 주변영역에서의 구성을 보여준다. 주변 영역은 패드 영역과 게이트 드라이버 영역을 포함한다.

<72> 도 7을 참조하면, 투광성 절연기관(110) 상의 화소영역과 주변영역, 즉 패드영역과 게이트 드라이버 영역에 각각 게이트 배선과 상기 게이트 배선으로부터 분기된 게이트 전극을 포함하는 게이트 패턴(112a, 112b, 112c, 112d, 112e, 112f)이 배치되어 있다. 화소영역과 게이트 드라이버 영역의 게이트 패턴(112b, 112e)은 스토리지 커패시터의 하부 전극으로 기능한다.

- <73> 게이트 패턴(112a, 112b, 112c, 112d, 112e, 112f)은 약 2,500Å의 두께로 된 단일층, 바람직하게는 하부층이 약 500Å의 크롬(Cr)으로 이루어지고, 상부층이 약 2,000Å의 AlNd 합금으로 이루어진 복층구조를 갖는다.
- <74> 화소영역과 게이트 드라이버 영역 사이에 패드 영역이 위치하고, 패드 영역에는 게이트 패턴과 동일층으로 형성되는 게이트 패드(112c)가 배치되어 있다. 화소영역의 게이트 라인의 연장선은 게이트 패드(112c)에 전기적으로 연결된다.
- <75> 게이트 패턴(112a, 112b, 112c, 112d, 112e, 112f)을 포함하는 상기 기관(100)의 전면에 게이트 절연막(114)이 배치되어 있다.
- <76> 게이트 절연막(114)은 바람직하게는 약 4,500Å의 실리콘질화막(SiNx) 또는 실리콘산화막으로 구성된다.
- <77> 게이트 절연막(114) 상의 화소영역과 게이트 드라이버 영역에, 제 1 불순물 영역(118a, 118c), 제 2 불순물 영역(118b, 118d), 제 1 불순물 영역 및 제 2 불순물 영역 사이에 형성된 채널 영역(116a, 116b)을 포함하는 활성층 패턴이 배치되어 있다.
- <78> 채널 영역(116a, 116b)은 약 2,000Å의 진성 비정질 실리콘으로 구성되고, 제 1, 제 2 불순물 영역(118a~118d)은 약 500Å의 n형의 불순물이 고농도로 도핑된 비정질 실리콘으로 구성된다.
- <79> 활성층 패턴(118a, 118b, 118c, 118d, 116a, 116b) 상에 상기 제 1 불순물 영역(118a, 118c)과 콘택되는 소오스 전극(120a, 120e), 제 2 불순물 영역(118b, 118d)과 콘택되는 드레인 전극(120b, 120f) 및 상기 소오스 전극(120a, 120e)과

연결되고 상기 게이트 배선과 직교하는 데이터 배선(미도시)을 포함하는 데이터 패턴이 배치된다.

<80> 도 7에 도시된 것처럼, 게이트 드라이버 영역의 박막 트랜지스터를 구성하는 소오스 전극(120e) 및 드레인 전극(120f)은 바람직하게는 다채널을 갖는 인터디지털(Interdigital) 구조로 만들어진다. 즉, 기수 번째 소오스 전극(120e)과 우수 번째 드레인 전극들이 소정 간격 이격되어 교번적으로 배치된다.

<81> 게이트 드라이버 영역의 드레인 전극(120f)과 이격되고, 하부 스토리지 전극(112e)과의 사이에 게이트 절연막(114)을 개재한 상태로 오버랩되는 상부 스토리지 전극(120g)이 게이트 절연막(114) 위에 배치된다.

<82> 화소영역과 게이트 드라이버 영역 사이에 위치한 패드 영역에 화소영역 및 게이트 드라이버 영역의 데이터 패턴(120a, 120b, 120c, 120e, 120f, 120g)과 동일층으로 형성되는 데이터 패드(120d)가 배치된다.

<83> 데이터 패턴을 포함하는 결과적인 기판 상에, 화소영역의 드레인 전극(120b)을 부분적으로 노출하는 제 1 콘택홀(H1), 게이트 드라이버 영역의 콘택용 게이트 패턴(112f)을 부분적으로 노출하는 제 2 콘택홀(H2) 및 게이트 드라이버 영역의 콘택용 데이터 패턴(120h)을 노출하는 제 3 콘택홀(H3)이 형성된 보호막(130)이 배치되어 있다.

<84> 또한, 보호막의 패드 영역에 게이트 패드(112c)와 데이터 패드(120d)를 부분적으로 노출하는 제 4, 제 5 콘택홀(H4, H5)이 형성되어 있다.

<85> 보호막(130)은 약 $1.85\mu\text{m}$ 의 두께를 갖는 실리콘 질화막으로 구성된다.

<86> 제 1 내지 제 5 콘택홀을 포함하는 보호막(130) 위에, 제 1 콘택홀(H1)을 통하여 화소영역의 드레인 전극(120b)과 연결되는 화소전극(또는 제 1 전극패턴)(140), 제 2, 제 3 콘택홀(H2, H3)을 통하여 게이트 드라이버 영역의 노출된 콘택용 게이트 패턴(112f)과 노출된 콘택용 데이터 패턴(120h)을 서로 전기적으로 연결하는 제 2 전극패턴(142)과, 제 4, 제 5 콘택홀(H4, H5)을 통하여 패드 영역의 게이트 패드(112c)와 데이터 패드(120d)를 서로 전기적으로 연결하는 제 3 전극패턴(143)을 포함하는 전극 패턴부가 배치되어 있다.

<87> 여기서, 콘택영역의 제 2 전극 패턴(142)과 패드 영역의 제 3 전극패턴(143)은 게이트 패턴의 일부와 데이터 패턴의 일부를 서로 전기적으로 연결한다는 점에서 동일한 유형의 콘택단자로 간주된다.

<88> 이러한 콘택부분의 상세구성이 도 49에 도시되어 있다. 도 49를 참조하면, 콘택용 게이트 패턴(112f)의 일단은 제 2 콘택홀(H2)을 통하여 노출되고, 콘택용 데이터 패턴(120h)의 일단은 제 3 콘택홀(H3)을 통하여 노출되며, 이들은 제 2 전극패턴(142)에 의하여 서로에게 전기적으로 연결된다. 여기서, 제 2, 제 3 콘택홀(H2, H3)은 그의 단부길이가 콘택용 게이트 패턴(112f)과 콘택용 데이터 패턴(120h)의 단부보다 약 $4\mu\text{m}$ 만큼 길게 형성하는 것이 바람직하고, 제 2 전극패턴(142)의 폭은 콘택용 게이트 패턴(112f)과 콘택용 데이터 패턴(120h)의 일측면으로부터 약 $5\mu\text{m}$ 씩 전체폭으로는 약 $10\mu\text{m}$ 만큼 크게 설계하는 것이 바람직하다.

<89> 본 발명의 액정표시기 박막 트랜지스터 기판이 투과형 액정표시기에 적용되는 경우 제 1 전극 패턴(140), 제 2 전극 패턴(142) 및 제 3 전극 패턴(143)은

투명재질의 인듐주석산화물(ITO: Indium Tin Oxide)나 인듐징크산화물(IZO: Indium Zinc Oxide)로 구성되고, 반사형인 경우 불투명한 크롬(Cr)이나, AlNd로 구성된다.

<90> 특히, 반사전극이 특정한 요철 구조를 갖는 경우, 보호막으로서 표면에 요철 구조를 갖는 감광성 유기 절연막이 사용된다. 감광성 유기 절연막은 콘택홀의 형성과 요철구조의 형성을 위한 패터닝 공정을 적어도 1회 생략할 수 있도록 한다.

<91> 실시예 2

<92> 도 8은 본 발명의 제 2 실시예에 의한 비정질실리콘 박막 트랜지스터의 단면도이다.

<93> 도 7과 도 8을 비교하면, 데이터 라인의 구성이 주목된다. 즉, 도 8에 도시된 것처럼, 데이터 라인(144)은 화소전극(140)과 함께 보호막(130) 위에 배치되고, 화소전극(140)과 소정 간격 이격된다.

<94> 구체적으로, 활성층 패턴(118a, 118b, 118c, 118d)을 포함하는 결과적인 기판 상의 화소영역에 데이터 라인이 형성되지 않고, 제 1 불순물 영역(118a)과 콘택되는 소오스 전극(120a) 및 제 2 불순물 영역(118b)과 콘택되는 드레인 전극(120b)을 포함하는 데이터 패턴만이 배치되어 있다.

<95> 데이터 패턴을 포함하는 결과적인 기판 상에 화소영역의 소오스 전극(120a)을 부분적으로 노출하는 제 1 콘택홀(H1), 화소영역의 드레인 전극(120b)을 부분

적으로 노출하는 제 2 콘택홀(H2), 게이트 드라이버 영역의 콘택 게이트 패턴(112f)를 노출하는 제 3 콘택홀(H3) 및 게이트 드라이버 영역의 콘택 데이터 패턴(120h)을 노출하는 제 4 콘택홀(H4)이 보호막(130)에 형성되어 있다.

<96> 또한, 보호막(130)의 패드 영역에 게이트 패드(112c)와 데이터 패드(120d)를 부분적으로 노출하는 제 5, 제 6 콘택홀(H5, H6)이 형성되어 있다.

<97> 보호막(130)은 약 $1.85\mu\text{m}$ 의 두께를 갖는 실리콘 질화막으로 구성된다.

<98> 제 1 내지 제 6 콘택홀을 포함하는 보호막(130) 위에, 제 1 콘택홀(H1)을 통하여 화소영역의 소오스 전극(120a)과 연결되는 데이터 라인(또는 제 1 전극패턴)(144), 데이터 라인(144)과 소정 간격 이격되어 제 2 콘택홀(H2)를 통하여 화소영역의 드레인 전극(120b)과 연결되는 화소전극(또는 제 2 전극패턴)(140), 제 3, 제 4 콘택홀(H3, H4)을 통하여 게이트 드라이버 영역의 노출된 콘택용 게이트 패턴(112f)과 노출된 콘택용 데이터 패턴(120h)을 서로 전기적으로 연결하는 제 3 전극패턴(142)과, 제5, 제6 콘택홀(H5, H6)을 통하여 패드 영역의 게이트 패드(112c)와 데이터 패드(120d)를 서로 전기적으로 연결하는 제 4 전극패턴(143)을 포함하는 전극 패턴부가 배치되어 있다.

<99> 여기서, 콘택영역의 제 3 전극 패턴(142)과 패드 영역의 제 4 전극패턴(143)은 게이트 패턴의 일부와 데이터 패턴의 일부를 서로 전기적으로 연결한다는 점에서 동일한 유형의 콘택단자로 간주된다.

<100> 상기에서 언급된 부분들을 제외한 나머지 부분들의 구성은 도 7의 그것들과 동일하므로 여기서는 그 설명을 생략한다.

- <101> 실시예 1과 실시예 2에 따르면, 주변 영역에서의 콘택을 최소화하여 패널 사이즈에 비하여 최소의 면적을 갖는 게이트 구동 드라이버의 집적이 가능해진다.
- <102> 또한, 게이트 드라이버 영역에서 화소전극의 사용범위를 콘택 부위에 한정하여 전극 종류에 관계없이 회로특성이 영향을 받지 않으므로, 안정된 회로가 구현된다.
- <103> 실시예 3
- <104> 도 9 내지 도 14는 도 7의 박막 트랜지스터 기관에서 단위 화소영역과 그 인접부의 구성을 개략적으로 보여주는 평면도이고, 도 15 내지 도 23은 도 9 내지 도 14의 제 1 라인을 따라서 절단된 단면도들이고, 도 24 내지 도 29는 도 9 내지 도 14의 제 2 라인을 따라서 절단된 단면도들이다.
- <105> 구체적으로, 도 15는 도 9의 15-15' 선을 따라 절단된 단면도이고, 도 24는 도 9의 24-24' 선을 따라 절단된 단면도이다.
- <106> 도 9, 도 15 및 도 24를 참조하면, 유리, 석영 또는 사파이어와 같은 절연 물질로 이루어진 투명 기관(202) 상에 실리콘 산화물로 이루어진 차단막(미도시)이 형성된다.
- <107> 차단막(미도시) 상에 게이트 라인(212a), 게이트 라인(212a)으로부터 분기된 게이트 전극(212d) 및 게이트 전극으로부터 연장되어 화소영역의 가장자리를 둘러싸는 개곡선 구조를 갖는 하부 스토리지 전극 패턴(212d, 212b, 212c)을 포함하는 게이트 패턴이 형성된다.

- <108> 도면에 도시하지는 않았지만, 게이트 패턴과 동일한 층의 주변영역에 외부의 집적 회로부로부터 주사 신호를 인가받기 위한 게이트 패드(도시하지 않음)와, 콘택 게이트 패턴이 화소영역의 게이트 패턴과 함께 형성된다.
- <109> 게이트 패턴은 알루미늄(Al) 또는 알루미늄 내드륨(AlNd)과 같은 알루미늄 합금의 단일층이나, 크롬(Cr) 위에 알루미늄 또는 알루미늄 내드륨 합금이 적층된 다중층으로 구성될 수 있다. 이 게이트 패턴은 앞서 언급한 단일층이나 다중층을 스퍼터링법으로 약 2000 내지 3000Å의 두께로 기판 상에 증착하고, 통상의 사진식각 공정을 이용하여 패터닝 하는 것에 의하여 형성된다.(제 1 마스크)
- <110> 도 16은 도 10의 16-16' 선을 따라 절단된 단면도이고, 도 25는 도 11의 25-25' 선을 따라 절단된 단면도이다.
- <111> 도 10, 도 16 및 도 25를 참조하면, 게이트 패턴(212a~212d)을 포함하는 결과적인 기판 위에 실리콘질화막(SiNx)으로 구성된 게이트 절연막(214), 불순물이 도핑되지 않은 진성(intrinsic) 비정질 실리콘 막(a-Si:H)(216) 및 n형 불순물이 고농도로 도핑된 외인성(extrinsic) 비정질 실리콘 막(n+ a-Si)(218)이 순차적으로 증착된다.
- <112> 이들 삼층막은 화학기상증착법의 일종인 PECVD(Plasma Enhanced Chemical Vapor Deposition) 법에 의하여 형성되고, 일례로서 실리콘질화막(214)은 약 4,500Å, 진성 비정질 실리콘 막(a-Si:H)(216)은 약 2,000Å, 그리고 외인성 비정질 실리콘 막(n+ a-Si)(216)은 약 500Å의 두께로 형성된다.

- <113> 외인성 비정질 실리콘 막($n^+ a\text{-Si}$)의 전면 소오스/드레인 전극용 금속층(220)이 물리적 기상증착법, 예를 들어 스퍼터링 법에 의하여 형성된다.
- <114> 소오스/드레인 전극용 금속층(220)과 하부의 삼층막(218, 216, 214)은 1회의 활성 마스크를 이용하여 패터닝된다.
- <115> 즉, 도 16을 참조하면, 소오스/드레인 전극용 금속층(220)의 전면 포지티브 형 감광막(250)을 소정 두께로 도포하고, 마스크(240)를 감광막 위에 정렬한다.
- <116> 마스크(240)는 소오스 영역, 드레인 영역 및 채널 영역의 상부에 각각 차광 영역(240a)을 갖고, 나머지 부분에 투광영역(240b)을 갖는다.
- <117> 특히, 채널 영역과 소오스 영역 사이의 투광영역과 채널 영역과 드레인 영역 사이의 투광 영역은 슬릿(Slit) 구조를 갖는다. 이들 슬릿을 통과하는 광은 회절되므로, 슬릿 사이의 간격은 채널 영역의 간격보다 약간 작게 조절한다. 슬릿을 통과하는 자외선은 회절되어 채널 영역 상부의 감광막을 노광한다. 동시에, 나머지 부분의 노출된 감광막도 자외선에 노광된다.
- <118> 노광된 감광막(250)은 현상되어 도 18에 도시된 것처럼, 채널 영역에 해당하는 부분이 소정 깊이만큼 제거된 감광막 마스크 패턴(250e)이 형성된다.
- <119> 도 19를 참조하면, 감광막 마스크 패턴(250e)이 덮여있지 않은 노출된 금속층(220)과, 그 하부의 외인성 비정질 실리콘 막(218) 및 그 하부의 진성 비정질 실리콘 막(216)이 제거된다. 이 때, 채널 영역 상부의 감광막 마스크 패턴도 함께 제거되도록, 노출된 금속층(220), 외인성 비정질 실리콘 막(218) 및 진성 비

정질 실리콘 막(216) 중 적어도 하나는 건식식각 공정에 의하여 제거된다. 즉, 채널 영역 상부의 감광막 마스크 패턴(250e)은 앞선 현상 공정을 거치는 동안 매우 얇은 상태로 존재하므로, 노출된 막의 건식 식각동안 함께 제거된다.

<120> 그런 다음, 채널 영역에 노출된 금속막(220)과 그 하부의 외인성 비정질 실리콘 막(218)은 선택적 식각법에 의하여 완전히 제거되고, 그 하부의 진성 비정질 실리콘 막(216)은 소정 두께 만큼 제거된다.

<121> 다음으로, 소오스/드레인 영역 상부의 감광막 마스크 패턴(250)이 제거된다.(제 2 마스크 공정)

<122> 도 12는 상기한 공정들이 완료된 상태의 평면도이고, 도 21은 도 12의 21-21' 선을 따라서 절단된 단면도를, 도 27은 도 12의 27-27' 선을 따라 절단된 단면도를 각각 보여준다.

<123> 도 12, 도 21 및 도 27을 참조하면, 소오스 영역의 활성층 패턴(216, 218)은 게이트 라인(212a)과 직교하도록 연장되고, 데이터 라인(220)과의 사이에 게이트 절연막(214)을 개재하여 데이터 라인보다 작은 폭을 갖고서 데이터 라인(220)과 중첩된다. 이처럼, 연장된 활성층 패턴은 데이터 라인(220)의 오픈을 방지하는 동시에 데이터 라인(220)의 저항을 낮추는 역할을 한다.

<124> 도 13은 도 12의 결과적인 기판의 전면에 실리콘질화막(SiNx)의 보호막(222)이 약 $1.85\mu\text{m}$ 의 두께로 증착된 상태를 보여주는 평면도이고, 도 22는 도 13의 22-22' 선을 따라 절단된 단면도이고, 도 28은 도 13의 28-28' 선을 따라 절단된 단면도이다.

- <125> 도 13, 도 22 및 도 28을 참조하면, 보호막(222)의 소정 부분에 드레인 전극(220D)의 소정 부분을 노출하는 제 1 콘택홀(223)이 형성된다.
- <126> 한편, 도면에 도시되지는 않았지만, 게이트 드라이브 영역의 콘택 게이트 패턴을 노출하는 제 2 콘택홀 및 게이트 드라이버 영역의 콘택 데이터 패턴을 노출하는 제 3 콘택홀이 제 1 콘택홀(223)과 함께 형성된다(제 3 마스크).
- <127> 다음으로, 도 14, 도 23 및 도 29를 참조하면, 결과적인 기판의 전면에 금속막이 스퍼터링 방법으로 약 1,500Å의 두께로 증착된다.
- <128> 도 23에 도시된 것처럼, 증착된 금속막은 제 4 마스크를 이용하여 두 종류의 도전성 패턴으로 패터닝된다. 즉, 화소영역에서는 제 1 콘택홀(223)을 통하여 드레인 전극(220D)과 콘택되는 화소전극(제 1 전극 패턴)(224)으로 패터닝되고, 도면에 도시되지는 않았지만, 게이트 드라이버 영역에서는 제 2 콘택홀과 제 3 콘택홀을 통하여 제 1 트랜지스터의 게이트 전극으로부터 연장된 콘택용 게이트 패턴과 제 1 트랜지스터에 인접한 제 2 트랜지스터의 소오스/드레인 전극으로부터 연장된 데이터 패턴을 상호 연결하는 제 2 전극 패턴으로 패터닝된다.
- <129> 도 23과 도 28의 단면도에 도시된 것처럼, 패터닝된 화소전극(224)은 하부 스토리지 전극(212c, 212d)과의 사이에 보호막(222)과 게이트 절연막(214)을 유전층으로 개재하여 스토리지 커패시터의 상부전극으로 기능한다. 그 결과, 후속 신호가 인가될 때까지 액정의 위상을 안정적으로 유지한다.
- <130> 제 3 실시예의 박막 트랜지스터 기판의 제조방법이 투과형 액정표시기에 적용되는 경우 제 1 전극 패턴(224), 제 2 전극 패턴은 투명재질의

인듐주석산화물(ITO: Indium Tin Oxide)나 인듐징크산화물(IZO: Indium Zinc Oxide)로 구성되고, 반사형인 경우 불투명한 크롬(Cr)이나, AlNd로 구성된다.

<131> 특히, 반사형 액정표시기용 박막 트랜지스터 기관의 반사전극이 특정한 요철 구조를 갖는 경우, 보호막으로서 표면에 요철 구조를 갖는 감광성 유기 절연막이 사용될 수 있다.

<132> 감광성 유기 절연막은 그의 상부에 감광막 마스크를 형성하기 위한 공정을 필요로 하지 않기 때문에 콘택홀의 형성과 요철구조의 형성을 위한 패터닝 공정을 적어도 1회 생략하도록 한다.

<133> 본 발명의 제 3 실시예에 따르면, 활성층 패턴과 소오스, 드레인 전극을 한번의 마스크 공정을 통하여 형성하고, 또한, 화소 전극의 패터닝시 게이트 드라이브 영역의 제 1 박막 트랜지스터의 게이트에서 연장된 콘택 게이트 패턴과 제 2 박막 트랜지스터의 소오스/드레인에서 연장된 콘택 데이터 패턴을 함께 형성하므로 박막 트랜지스터의 형성을 위한 마스크 수를 4개로 줄일 수 있다.

<134> 실시예 4

<135> 한편, 제 4 실시예는 도 8의 제 2 실시예에서 설명한 것처럼, 4매의 마스크만을 이용하여 데이터 라인이 보호막의 상부에 배치된 박막 트랜지스터 기관을 제조하는 방법을 개시한다.

<136> 도 15에 도시된 것처럼, 제 1 마스크를 이용하여 게이트 전극, 게이트 라인, 하부 스토리지 전극을 포함하는 게이트 패턴을 형성한다. 그런 다음, 게이트

패턴을 포함하는 결과적인 기판의 전면에 게이트 절연막이 소정 두께로 형성된다.

<137> 다음으로, 도 17 내지 도 21에 도시된 것과 동일한 방법으로 제 1, 제 2 불순물 영역과 채널 영역을 포함하는 활성패턴 및 소오스 전극, 드레인 전극을 포함하는 데이터 패턴을 형성하되, 화소영역에서 소오스 전극과 일체로 된 데이터 라인은 형성하지 않는다.(제 2 마스크)

<138> 다음으로, 도 22와 도 8을 참조하면, 전면에 소정 두께의 실리콘 질화막으로 된 보호막을 형성하고, 데이터 패턴을 포함하는 결과적인 기판 상에 화소영역의 소오스 전극(120a)을 부분적으로 노출하는 제 1 콘택홀(H1), 화소영역의 드레인 전극(120b)을 부분적으로 노출하는 제 2 콘택홀(H2), 게이트 드라이버 영역의 콘택 게이트 패턴(112f)를 노출하는 제 3 콘택홀(H3) 및 게이트 드라이버 영역의 콘택 데이터 패턴(120h)을 노출하는 제 4 콘택홀(H4)이 보호막(130)에 형성된다.(제 3 마스크)

<139> 또한, 보호막(130)의 패드 영역에 게이트 패드와 데이터 패드를 부분적으로 노출하는 제 5, 제 6 콘택홀(H5, H6)이 형성된다.

<140> 제 1 내지 제 6 콘택홀을 포함하는 보호막(130) 위에, 화소전극용 금속막을 소정 두께로 증착되고, 제 4 마스크를 이용하여 증착된 금속막을 패터닝하여, 제 1 콘택홀(H1)을 통하여 화소영역의 소오스 전극(120a)과 연결되는 데이터 라인(또는 제 1 전극패턴)(144), 데이터 라인(144)과 소정 간격 이격되어 제 2 콘택홀(H2)를 통하여 화소영역의 드레인 전극(120b)과 연결되는 화소전극(또는 제 2 전극패턴)(140), 제 3, 제 4 콘택홀(H3, H4)을 통하여 게이트 드라이버 영역의 노

출된 콘택용 게이트 패턴(112f)과 노출된 콘택용 데이터 패턴(120h)을 서로 전기적으로 연결하는 제 3 전극패턴(142)과, 제 5, 제 6 콘택홀(H5, H6)을 통하여 패드 영역의 게이트 패드(112c)와 데이터 패드(120d)를 서로 전기적으로 연결하는 제 4 전극패턴(143)을 형성한다.

<141> 여기서, 콘택영역의 제 3 전극 패턴(142)과 패드 영역의 제 4 전극 패턴(143)은 게이트 패턴의 일부와 데이터 패턴의 일부를 서로 전기적으로 연결한다는 점에서 동일한 유형의 콘택단자로 간주된다.

<142> 앞선 실시예에서와 마찬가지로, 제 4 실시예의 박막 트랜지스터 기판의 제조방법이 투과형 액정표시기에 적용되는 경우 제 1 전극 패턴(144), 제 2 전극 패턴(140)은 투명재질의 인듐주석산화물(ITO: Indium Tin Oxide)이나 인듐징크산화물(IZO: Indium Zinc Oxide)로 구성되고, 반사형인 경우 불투명한 크롬(Cr)이나, AlNd로 구성된다.

<143> 특히, 반사형 액정표시기용 박막 트랜지스터 기판의 반사전극이 특정한 요철 구조를 갖는 경우, 보호막으로서 표면에 요철 구조를 갖는 감광성 유기 절연막이 사용될 수 있다.

<144> 감광성 유기 절연막은 그의 상부에 감광막 마스크를 형성하기 위한 공정을 필요로 하지 않기 때문에 콘택홀의 형성과 요철구조의 형성을 위한 패터닝 공정을 적어도 1회 생략하도록 한다.

<145> 본 발명의 제 4 실시예에 따르면, 활성층 패턴과 소오스, 드레인 전극을 한번의 마스크 공정을 통하여 형성하고, 또한, 화소 전극의 패터닝시 게이트 드라

이브 영역의 제 1 박막 트랜지스터의 게이트에서 연장된 콘택 게이트 패턴과 제 2 박막 트랜지스터의 소오스/드레인에서 연장된 콘택 데이터 패턴을 함께 형성하므로 박막 트랜지스터의 형성을 위한 마스크 수를 4매로 줄일 수 있다.

<146> 아울러, 데이터 라인을 화소전극과 함께 형성하므로써, 화소영역 내에서 데이터 패턴의 복잡함으로 인한 단락 또는 오픈 불량을 방지할 수 있다.

<147> 실시예 5

<148> 실시예 5는 구동 게이트 드라이버 영역에서 콘택을 최소화하고 최소의 면적으로 회로를 구현하도록 패턴의 레이아웃을 설계하는데 주목된다.

<149> 도 30은 게이트 드라이브 영역과 인접한 화소영역을 부분적으로 도시한 평면도이다.

<150> 도 30과 게이트 드라이브 영역의 회로도인 도 6을 참조하면, 화소영역에 인접한 부분에 게이트 라인 구동트랜지스터인 제 1, 제 2 트랜지스터(NT1, NT2)를 배치하고, 가장 멀리 떨어진 부분에 외부신호라인들(CKB, CK, VDD, VSS, ST)이 배치된다.

<151> 구동트랜지스터 배치영역과 신호라인 배치영역 사이에 제어용 트랜지스터들인 제 3 내지 제 9 트랜지스터들(NT3, NT4, NT5, NT6, NT7, NT8, NT9)이 배치된다.

<152> 캐패시터(C)는 제 1 구동 트랜지스터(NT1)와 제 2 구동 트랜지스터(NT2)의 사이에 배치되고, 제 1 구동 트랜지스터(NT1)의 게이트 전극 하부 연장부로 제공

된 하부전극과, 제 2 구동트랜지스터(NT2)의 드레인 전극의 상부 연장부로 제공된 상부전극과 이들 사이에 제공된 게이트 절연막(SiNx)을 포함한다.

<153> 도 31 내지 도 35는 도 30의 구조를 형성하기 위한 단위 공정에서의 패턴을 보여준다. 한편, 앞서 설명한 도 7과 도 8의 단면구조는 도 30과 부분적으로 대응한다. 도 36은 도 30의 단위 화소영역과 그 주변부의 부분 상세 평면도이고, 도 37 내지 도 41은 그 부분들에서의 단위 공정을 보여주는 부분 상세 평면도이다. 도 42는 도 30의 게이트 드라이버 영역과 패드 영역을 포함하는 주변 영역의 부분 상세 평면도이고, 도 43 내지 도 47은 그 부분들에서의 단위 공정을 보여주는 부분 상세 평면도이다.

<154> 도 31, 도 37, 도 43 및 도 7을 참조하면, 투명 기판(102) 상의 화소영역에 알루미늄(Al) 또는 알루미늄 나이트라이드(AlN_d)과 같은 알루미늄 함유 금속의 단일층이나, 알루미늄 위에 크롬(Cr)이나 몰리브덴(Mo) 합금을 적층한 다중층으로 이루어진 게이트 패턴(112)이 형성된다. (제 1 마스크)

<155> 화소영역의 게이트 패턴(112)은 제 1 방향, 즉 횡방향을 따라서 수평하게 배열된 게이트 라인(112g)과, 인접한 게이트 배선(112g)들 사이에 배치되어 게이트 배선(112g)과 평행하게 배열된 캐패시터 하부 배선(112h), 캐패시터 하부 배선과 오버랩되고, 단위 화소 영역내에 형성된 캐패시터 하부 패턴(112i) 및 게이트 라인(112g)으로부터 분기된 게이트 전극(112a)을 포함한다.

<156> 도 31에 도시된 것처럼, 화소영역과 게이트 드라이브 영역 사이에 게이트 패드(112c)가 배치되어, 게이트 라인(112g)의 일단에 연결된다. 출력단(Out)인

게이트 패드(112c)는 외부로부터 주사 신호를 인가받아 게이트 라인(112g)에 인가한다.

<157> 제 1 구동 트랜지스터(NT1)와 제 2 구동 트랜지스터(NT2)의 게이트(112d-1, 112d-2)는 도 43의 확대도에 도시된 제 3 내지 제 9 트랜지스터(NT3~NT9)의 게이트에 비하여 큰 폭을 갖는다. 또한, 제 1 트랜지스터의 게이트 전극(112d-1)은 인접한 제 2 트랜지스터의 게이트 전극(112d-2)쪽으로 연장된 하부 스토리지 패턴(112e)을 포함한다.

<158> 도 31에 도시한 게이트 패턴의 패터닝이 완료되면, 도 7에 도시된 것처럼, 기판의 전면에 실리콘 질화막의 게이트 절연막(114)이 형성된다.

<159> 그런 다음, 게이트 절연막(114) 위에 활성층 패턴(116, 118)이 형성된다.(제 2 마스크)

<160> 도 32, 도 38 및 도 44는 게이트 절연막(114) 위에 활성층 패턴(116, 118)이 형성된 상태를 보여주는 평면도이다.

<161> 도 32와 도 38을 참조하면, 화소영역에 게이트 라인(112g)과 직교하는 제 1 활성층 패턴(118e)과, 게이트 전극(112a)과 부분적으로 중첩되는 제 2 활성층 패턴(117)과, 상기 제 1 활성층 패턴(118e)의 소정 위치마다 배치되어 스토리지 캐패시터용 하부 배선(112h)과 중첩하는 제 3 활성층 패턴(118f)을 포함하는 활성층 패턴이 형성된다. 제 2 활성층 패턴(117)은 제 1 불순물 영역(즉, 드레인 영역)(118a)과 제 2 불순물 영역(즉, 소오스 영역)(118b) 및 제 1 불순물 영역과(118a) 제 2 불순물 영역(118b) 사이의 채널 영역(116a)을 포함한다.

- <162> 도 32와 도 44를 참조하면, 게이트 드라이브 영역의 출력단에 연결되는 제 1, 제 2 트랜지스터의 활성층 패턴(118c-1, 118c-2)은 제 3 내지 제 9 트랜지스터의 활성층에 비하여 큰 폭을 갖는다.
- <163> 도 32에 도시된 액티브 패턴 중 SP 표시된 조각들은 하부의 게이트 패턴과 교차되는 소스 패턴을 보호하기 위해 부가되는 더미 패턴들이다. 이러한 부가패턴들은 상부 구조물인 소스패턴이 형성될 표면의 기울기를 완화시킴으로써 상부 소스 금속라인이 끊어지는 것을 방지한다.
- <164> 활성층 패턴을 포함하는 결과적인 기판의 상부에 도 33에 도시된 것처럼, 소오스/드레인 전극 층(120)이 형성된다.(제 3 마스크) 소오스/드레인 전극 층(120)은 크롬(Cr)을 약 1,500Å의 두께로 결과적인 기판의 전면에 증착하고, 통상의 사진식각 공정에 의하여 패터닝하는 것에 의하여 형성된다.
- <165> 도 33, 도 39 및 도 45를 참조하면, 화소영역에 게이트 라인(112i)과 직교하고, 제 1 활성층 패턴(118e)과 중첩되는 데이터 라인(120i)이 배치된다. 데이터 라인(120i)으로부터 분기된 소오스 전극(120a)과 소오스 전극(120a)으로부터 소정 간격 이격된 드레인 전극(120b)이 제 2 활성층 패턴(117)의 제 1 불순물 영역(118a) 및 제 2 불순물 영역(118b)과 각각 콘택되도록 단위 화소 영역에 데이터 라인(120i)과 함께 형성된다.
- <166> 도 39에 도시된 것처럼, 드레인 전극(102b)은 충분한 축적용량의 확보를 위하여 도 31에 도시된 캐패시터 하부 패턴(112i)과 중첩되는 구조를 갖는다.

- <167> 도 33에 도시된 것처럼, 게이트 드라이버 영역에 도 31의 게이트 패드 (112c)에 인접하도록 소오스/드레인 패드(120d)가 형성된다. 이 게이트 패드 (112c)와 소오스/드레인 패드(120d)는 도 30에 도시된 것처럼, 화소영역의 화소 전극과 함께 형성되는 콘택 패턴에 의하여 서로 전기적으로 연결된다.
- <168> 도 33에 도시된 것처럼, 제 1, 제 2 트랜지스터의 소오스, 드레인 전극은 인터디지털(Interdigital) 구조로 형성된다. 즉, 우수 번째 전극들(120e)은 좌측의 소오스 패드에 공통 연결되고, 기수 번째 전극들(120f)은 우측의 드레인 패드에 공통 연결되고, 우수 번째 전극들(120e)이 기수 번째 전극들(120f)의 사이에 배치된다.
- <169> 제 2 구동 트랜지스터(NT2)의 제 1 기수 번째 전극(120f)은 도 31의 제 1 구동 트랜지스터(NT1)의 하부 스토리지 전극(112e)과 중첩되도록 폭 방향으로 연장되어, 도 6의 회로도에 도시된 것처럼, 제 1 트랜지스터(NT1)의 소오스 전극 (120e)과 게이트 전극(112d) 사이에 연결되는 캐패시터(C)의 상부 전극으로 기능한다.
- <170> 제 1, 제 2 구동 트랜지스터(NT1, NT2)의 소오스/드레인 전극의 인터디지털 구조는 한정된 면적 내에서 구동 트랜지스터의 채널폭을 증가시키므로 아몰퍼스 실리콘으로 제작된 트랜지스터의 구동능력을 충분히 확보할 수 있도록 한다.
- <171> 도 33에 도시된 소오스/드레인 층의 형성이 완료되면, 도 7에 도시된 것처럼, 결과적인 기판의 전면에 보호층(130)이 형성된다.

- <172> 보호층(130)은 실리콘 산화물이나 실리콘 질화물 또는 이들의 조합으로 이루어진 무기 절연물질로 형성된다.
- <173> 다음으로, 도 34에 도시된 것처럼, 통상의 사진식각 공정을 이용하여 보호층의 소정 부분에 콘택홀을 형성한다.(제 4 마스크)
- <174> 화소영역에 드레인 전극(120b)을 부분적으로 노출하는 제 1 콘택홀(H1)이 형성된다.
- <175> 게이트 드라이버 영역에 콘택 게이트 패턴을 노출하는 제 2 콘택홀(H2)과, 콘택 데이터 패턴을 노출하는 제 3 콘택홀(H3)이 형성된다. 제 3 콘택홀(H3) 외에도 게이트 패드(112c)와 소오스 패드(120d)를 부분적으로 노출하는 제 4, 제 5 콘택홀들(H4, H5)이 형성되는데, 이들 콘택홀들(H4, H5)은 제 2, 제 3 콘택홀과 마찬가지로 콘택 게이트 패턴을 노출하는 콘택홀들과 콘택 데이터 패턴을 부분적으로 노출하는 콘택홀들로 분류될 수 있으므로, 게이트 패드(112c)를 부분적으로 노출하는 콘택홀들은 제 2 콘택홀에, 데이터 패드(120d)를 부분적으로 노출하는 콘택홀들은 제 3 콘택홀에 포함되는 것으로 간주한다.
- <176> 이와 같이 인접하여 형성된 콘택홀들(H2, H3)의 쌍은 도 35에 도시한 바와 같이 표시영역에 제공되는 화소전극패턴(140)과 동시에 형성되는 콘택용 전극 패턴에 의해 상호 전기적으로 연결된다.
- <177> 즉, 본 발명에서는 게이트 금속패턴과 소스패턴으로 이루어진 신호라인들을 서로 전기적으로 연결하기 위하여 콘택홀을 형성하고 이 콘택홀을 통하여 화소전극 패턴과 동일 재질의 도전물질로 콘택패턴을 형성하여 연결한다.

- <178> 다음으로, 콘택홀들의 형성이 완료되면, 화소전극용 금속막이 전면에 증착된다. 증착된 금속막은 통상의 사진 식각 공정에 의하여 패터닝된다. (제 5 마스크)
- <179> 도 35는 콘택홀이 형성된 보호막의 상부에 형성된 화소전극 패턴을 보여주는 평면도이고, 도 41은 도 35의 화소영역을 상세하게 보여주는 도면이며, 도 47은 게이트 드라이버 영역에 형성된 전극 패턴을 보여주는 도면이다.
- <180> 도 35에 도시된 것처럼, 화소영역에서 화소전극(제 1 전극패턴)(140)은 보호막(130)에 형성된 제 1 콘택홀(H1)을 통하여 드레인 전극(120b)과 콘택된다.
- <181> 주변 영역의 게이트 드라이브 부분에 형성된 화소전극 패턴(제 2 전극패턴)(144)은 각각 제 2, 제 3 콘택홀(H2, H3)을 통하여 노출된 콘택용 게이트 패턴(112f)와 콘택용 데이터 패턴(120h)을 서로에게 전기적으로 연결한다.
- <182> 또한, 주변영역의 패드 부분에 형성된 화소전극 패턴(제 3 전극패턴)(143)은 각각 제 4, 제 5 콘택홀(H4, H5)을 통하여 노출된 데이터 패드(120d)와 게이트 패드(112c)를 서로에게 전기적으로 연결한다.
- <183> 앞선 실시예에서와 마찬가지로, 제 5 실시예의 박막 트랜지스터 기판의 제조방법이 투과형 액정표시기에 적용되는 경우 제 1 전극 패턴(144), 제 2 전극 패턴(140)은 투명재질의 인듐주석산화물(ITO: Indium Tin Oxide)이나 인듐징크산화물(IZO: Indium Zinc Oxide)로 구성되고, 반사형인 경우 불투명한 크롬(Cr)이나, AlNd로 구성된다.

- <184> 투과형인 경우에는 투명 도전막이 콘택패턴으로 제공되므로 금속패턴에 비하여 상대적으로 전기전도도가 떨어진 투명도전막을 사용하더라도 콘택저항으로 인한 게이트 구동회로의 전기적 특성 영향을 최소화하기 위하여 서로 연결되는 콘택홀들을 최대한 인접하여 배치하는 것이 바람직하다.
- <185> 또한, 미스 얼라인먼트로 인한 콘택저항 증가나 접촉 불량을 방지하기 위하여 콘택홀을 충분히 커버할 수 있도록 콘택 패턴의 사이즈에 충분한 마진을 확보하는 것이 바람직하다.
- <186> 한편, 반사형 액정표시기용 박막 트랜지스터 기판의 반사전극이 특정한 요철 구조를 갖는 경우, 보호막으로서 표면에 요철 구조를 갖는 감광성 유기 절연막이 사용될 수 있다.
- <187> 감광성 유기 절연막은 그의 상부에 감광막 마스크를 형성하기 위한 공정을 필요로 하지 않기 때문에 콘택홀의 형성과 요철구조의 형성을 위한 패터닝 공정을 적어도 1회 생략하도록 한다.
- <188> 본 발명의 제 5 실시예에 따르면, 화소 전극의 패터닝시 게이트 드라이브 영역의 제 1 박막 트랜지스터의 게이트에서 연장된 콘택 게이트 패턴과 제 2 박막 트랜지스터의 소오스/드레인에서 연장된 콘택 데이터 패턴을 화소전극 패턴과 동시에 형성하므로 박막 트랜지스터의 형성을 위한 마스크 수를 5개로 줄일 수 있다.
- <189> 이처럼, 주변 영역에서의 콘택을 최소화하여 패널 사이즈에 비하여 최소의 면적을 갖는 게이트 구동 드라이버의 집적이 가능해진다.

<190> 또한, 게이트 드라이버 영역에서 화소전극의 사용범위를 콘택 부위에 한정하여 전극 종류에 관계없이 회로특성이 영향을 받지 않으므로, 안정된 회로가 구현된다.

<191> 실시예 6

<192> 도 8은 본 발명의 제 6 실시예에 의한 비정질실리콘 박막 트랜지스터의 단면도이다.

<193> 도 7과 도 8을 비교하면, 데이터 라인의 구성이 주목된다. 즉, 도 8에 도시된 것처럼, 데이터 라인(144)은 화소전극(140)과 함께 보호막(130) 위에 형성되고, 화소전극(140)과 소정 간격 이격된다.

<194> 구체적으로, 도 31과 도 32에 도시된 것처럼, 게이트 패턴(112), 게이트 절연막(114) 및 활성층 패턴(118a, 118b, 118c, 118d)이 형성된 결과적인 기판 상의 화소영역에 데이터 라인이 형성되지 않고, 제 1 불순물 영역(118a)과 콘택되는 소오스 전극(120a) 및 제 2 불순물 영역(118b)과 콘택되는 드레인 전극(120b)을 포함하는 데이터 패턴이 형성된다.

<195> 데이터 패턴은 크롬과 같은 금속막을 약 1,500Å의 두께로 도 32에 도시된 것처럼 활성층을 포함하는 결과적인 기판 상에 증착하고, 이를 통상의 사진식각 공정에 의하여 패터닝 하는 것에 의하여 형성된다.(제 3 마스크)

<196> 도 8에 도시된 것처럼, 데이터 패턴을 포함하는 결과적인 기판 상에 실리콘 질화막의 보호막(130)을 약 1.85 μm 의 두께로 형성한다.

- <197> 통상의 사진 식각 공정을 이용하여 화소영역의 소오스 전극(120a)을 부분적으로 노출하는 제 1 콘택홀(H1), 화소영역의 드레인 전극(120b)을 부분적으로 노출하는 제 2 콘택홀(H2), 게이트 드라이버 영역의 콘택 게이트 패턴(112f)를 노출하는 제 3 콘택홀(H3) 및 게이트 드라이버 영역의 콘택 데이터 패턴(120h)을 노출하는 제 4 콘택홀(H4)을 보호막(130)에 형성한다.
- <198> 또한, 보호막(130)의 패드 영역에 게이트 패드(112c)와 데이터 패드(120d)를 부분적으로 노출하는 제 5, 제 6 콘택홀(H5, H6)도 함께 형성한다.(제 4 마스크)
- <199> 제 1 내지 제 6 콘택홀을 포함하는 보호막(130) 위에 투명도전막을 약 1,500Å의 두께로 증착하고, 이를 통상의 사진 식각공정을 통하여 패터닝한다.(제 5 마스크)
- <200> 즉, 사진 식각공정에 의하여 제 1 콘택홀(H1)을 통하여 화소영역의 소오스 전극(120a)과 연결되는 데이터 라인(또는 제 1 전극패턴)(144), 데이터 라인(144)과 소정 간격 이격되어 제 2 콘택홀(H2)를 통하여 화소영역의 드레인 전극(120b)과 연결되는 화소전극(또는 제 2 전극패턴)(140), 제 3, 제 4 콘택홀(H3, H4)을 통하여 게이트 드라이버 영역의 노출된 콘택용 게이트 패턴(112f)과 노출된 콘택용 데이터 패턴(120h)을 서로 전기적으로 연결하는 제 3 전극패턴(142)과, 제 5, 제 6 콘택홀(H5, H6)을 통하여 패드 영역의 게이트 패드(112c)와 데이터 패드(120d)를 서로 전기적으로 연결하는 제 4 전극패턴(143)을 형성한다.

- <201> 여기서, 콘택영역의 제 3 전극 패턴(142)과 패드 영역의 제 4 전극패턴(143)은 게이트 패턴의 일부와 데이터 패턴의 일부를 서로 전기적으로 연결한다는 점에서 동일한 유형의 콘택단자로 간주된다.
- <202> 실시예 6에 따르면, 주변 영역에서의 콘택을 최소화하여 패널 사이즈에 비하여 최소의 면적을 갖는 게이트 구동 드라이버의 집적이 가능해진다.
- <203> 또한, 게이트 드라이버 영역에서 화소전극의 사용범위를 콘택 부위에 한정하여 전극 종류에 관계없이 회로특성이 영향을 받지 않으므로, 안정된 회로가 구현된다.

【발명의 효과】

- <204> 상술한 바와 같이 본 발명에 의하면, 주변 영역에서의 콘택을 최소화하여 패널 사이즈에 비하여 최소의 면적을 갖는 게이트 구동 드라이버의 집적이 가능해진다.
- <205> 또한, 게이트 드라이버 영역에서 화소전극의 사용범위를 콘택 부위에 한정하여 전극 종류에 관계없이 회로특성이 영향을 받지 않으므로, 안정된 회로가 구현된다.
- <206> 아울러, 활성층 패턴과 소오스, 드레인 전극을 한 번의 마스크 공정을 통하여 형성하고, 또한, 화소 전극의 패터닝시 게이트 드라이브 영역의 제 1 박막 트랜지스터의 게이트에서 연장된 콘택 게이트 패턴과 제 2 박막 트랜지스터의 소오스/드레인에서 연장된 콘택 데이터 패턴을 함께 형성하므로 박막 트랜지스터의 형성을 위한 마스크 수를 4개로 줄일 수 있다.

- <207> 더욱이, 데이터 라인을 화소전극과 함께 형성하므로써, 화소영역 내에서 데이터 패턴의 복잡함으로 인한 단락 또는 오픈 불량을 방지할 수 있다.
- <208> 또한, 화소 전극의 패터닝시 게이트 드라이브 영역의 제 1 박막 트랜지스터의 게이트에서 연장된 콘택 게이트 패턴과 제 2 박막 트랜지스터의 소오스/드레인에서 연장된 콘택 데이터 패턴을 화소전극 패턴과 동시에 형성하므로 박막 트랜지스터의 형성을 위한 마스크 수를 5개로 줄일 수 있다.
- <209> 또한, 보호막을 아크릴계 감광성 유기물로 형성하므로써, 콘택홀 형성을 위한 공정을 수를 줄여서, 공정을 단순화시킬 수 있다.
- <210> 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술분야의 숙련된 당업자라면 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허 청구범위】**【청구항 1】**

투광성 절연기관 상의 화소영역과 주변영역에 각각 형성된 게이트 배선과
상기 게이트 배선으로부터 분기된 게이트 전극을 포함하는 게이트 패턴;

상기 게이트 패턴이 형성된 상기 기관 상에 형성된 게이트 절연막;

상기 게이트 절연막 상에 형성되고, 제 1 불순물 영역, 제 2 불순물 영역,
상기 제 1 불순물 영역 및 상기 제 2 불순물 영역 사이에 형성된 채널 영역을 포
함하는 활성층 패턴;

상기 활성층 패턴을 포함하는 기관 상에 형성되어, 상기 제 1 불순물 영역
과 콘택되는 드레인 전극, 상기 제 2 불순물 영역과 콘택되는 소오스 전극 및 상
기 드레인 전극과 연결되고, 데이터 배선을 포함하는 데이터 패턴;

상기 데이터 패턴을 포함하는 결과적인 기관 상에 형성되어, 상기 드레인
전극을 부분적으로 노출하는 제1 콘택홀, 상기 주변 영역의 제 1 트랜지스터의
게이트 전극을 노출하는 제2 콘택홀 및 상기 주변 영역의 제 2 트랜지스터의 소
오스 전극/드레인 전극을 노출하는 제3 콘택홀을 포함하는 제1 층간 절연막; 및

상기 제1 층간 절연막 상에 형성되고, 상기 제 1 콘택홀을 통하여 상기 화
소영역의 드레인 전극과 연결되는 제1 전극패턴, 상기 제 2, 제 3 콘택홀을 통하
여 상기 제 1 트랜지스터의 노출된 상기 게이트 전극과 상기 제 2 트랜지스터의
노출된 상기 소오스/드레인 전극을 연결하는 제2 전극패턴을 포함하는 전극 패턴
부를 포함하는 것을 특징으로 하는 액정표시패널용 기관.

【청구항 2】

제1항에 있어서, 상기 화소영역의 투광성 절연기판 상에 상기 게이트 배선과 동일한 층으로 형성되고 상기 게이트 배선과 평행하게 소정 간격을 두고 이격된 캐패시터용 하부전극을 더 구비하는 것을 특징으로 하는 액정표시패널용 기판.

【청구항 3】

제1항에 있어서, 상기 주변영역은 게이트 드라이브 영역과 패드 영역을 포함하며, 상기 게이트 드라이브 영역의 투광성 절연기판 상에 상기 게이트 배선과 동일한 층으로부터 형성되고, 상기 게이트 배선의 일측면으로부터 연장된 캐패시터용 하부전극을 더 구비하는 것을 특징으로 하는 액정표시패널용 기판.

【청구항 4】

제1항에 있어서, 상기 활성층 패턴은 비정질 실리콘으로 이루어진 것을 특징으로 하는 액정표시패널용 기판.

【청구항 5】

제1항에 있어서, 상기 주변영역은 게이트 드라이브 영역과 패드영역을 포함하며, 상기 게이트 드라이브 영역의 제1, 제2 구동 트랜지스터의 소오스, 드레인 전극은 인터디지털 구조를 갖는 것을 특징으로 하는 액정표시패널용 기판.

【청구항 6】

제5항에 있어서, 상기 게이트 드라이브 영역의 상기 제 2 구동 트랜지스터의 소오스 전극은 상기 제 1 구동 트랜지스터의 드레인 전극측으로 연장된 상부 캐패시터 전극을 갖는 것을 특징으로 하는 액정표시패널용 기판.

【청구항 7】

제1항에 있어서, 상기 제1 층간 절연막은 실리콘질화물로 이루어진 것을 특징으로 하는 액정표시패널용 기판.

【청구항 8】

제1항에 있어서, 상기 제1 층간 절연막은 감광성 유기 절연물질로 이루어진 것을 특징으로 하는 액정표시패널용 기판.

【청구항 9】

제7항에 있어서, 상기 제1 층간 절연막의 표면에 엠보싱이 형성된 것을 특징으로 하는 액정표시패널용 기판.

【청구항 10】

투광성 절연기판 상의 화소영역과 주변영역에 각각 형성된 게이트 배선과 상기 게이트 배선으로부터 분기된 게이트 전극을 포함하는 게이트 패턴;

상기 게이트 패턴이 형성되어 있는 상기 기판 상에 형성된 게이트 절연막;

상기 게이트 절연막상에 형성되고, 제1 불순물 영역, 제2 불순물 영역, 상기 제1 불순물 영역 및 상기 제2 불순물 영역 사이에 형성된 채널 영역을 포함하는 활성층 패턴;

상기 활성층 패턴을 포함하는 기판 상에 형성되어, 상기 제1 불순물 영역과 콘택되는 드레인 전극 및 상기 제2 불순물 영역과 콘택되는 소오스 전극을 포함하는 데이터 패턴;

상기 데이터 패턴을 포함하는 결과적인 기판 상에 형성되며, 상기 화소영역의 상기 소오스 전극을 부분적으로 노출하는 제1 콘택홀, 상기 화소영역의 상기 드레인 전극을 부분적으로 노출하는 제2 콘택홀, 상기 주변 영역의 제1 트랜지스터의 게이트를 노출하는 제3 콘택홀 및 상기 주변 영역의 제2 트랜지스터의 소오스/드레인을 노출하는 제4 콘택홀을 포함하는 제1 층간 절연막; 및

상기 제1 층간 절연막 상에 형성되고, 상기 제1 콘택홀을 통하여 상기 화소영역의 소오스 전극과 연결되는 제1 전극 패턴, 상기 제2 콘택홀을 통하여 상기 화소영역의 상기 드레인 전극과 연결되는 제2 전극 패턴, 상기 제3, 제4 콘택홀을 통하여 상기 제1 트랜지스터의 노출된 상기 게이트와 상기 제2 트랜지스터의 노출된 상기 소오스/드레인을 연결하는 제3 전극패턴을 포함하는 것을 특징으로 하는 액정표시패널용 기판.

【청구항 11】

제10항에 있어서, 상기 화소영역의 투광성 절연기판 상에 상기 게이트 배선과 동일한 층으로 형성되고 상기 게이트 배선과 평행하게 소정 간격을 두고 이격된 캐패시터용 하부전극을 더 구비하는 것을 특징으로 하는 액정표시패널용 기판.

【청구항 12】

제10항에 있어서, 상기 주변영역은 게이트 드라이브 영역과 패드 영역을 포함하며, 상기 게이트 드라이브 영역의 투광성 절연기판 상에 상기 게이트 배선과 동일한 층으로부터 형성되고, 상기 게이트 배선의 일측면으로부터 연장된 캐패시터용 하부전극을 더 구비하는 것을 특징으로 하는 액정표시패널용 기판.

【청구항 13】

제10항에 있어서, 상기 활성층 패턴은 비정질 실리콘으로 이루어진 것을 특징으로 하는 액정표시패널용 기판.

【청구항 14】

제10항에 있어서, 상기 주변영역은 게이트 드라이브 영역과 패드영역을 포함하며, 상기 게이트 드라이브 영역의 제 1, 제 2 박막 트랜지스터의 소오스, 드레인 전극은 인터디지털 구조를 갖는 것을 특징으로 하는 액정표시패널용 기판.

【청구항 15】

제14항에 있어서, 상기 게이트 드라이브 영역의 상기 제 2 박막 트랜지스터의 소오스 전극은 상기 제 1 박막 트랜지스터의 드레인 전극측으로 연장된 상부 캐패시터 전극을 갖는 것을 특징으로 하는 액정표시패널용 기판.

【청구항 16】

제10항에 있어서, 상기 제 1 층간 절연막은 실리콘질화막으로 이루어진 것을 특징으로 하는 액정표시패널용 기판.

【청구항 17】

제10항에 있어서, 상기 제1 층간 절연막은 감광성 유기 절연물질로 이루어진 것을 특징으로 하는 액정표시패널용 기판.

【청구항 18】

제17항에 있어서, 상기 제1 층간 절연막의 표면에 엠보싱이 형성된 것을 특징으로 하는 액정표시패널용 기판.

【청구항 19】

제10항에 있어서, 상기 제 1, 제 2, 제 3 전극 패턴은 서로 동일한 재질을 갖는 것을 특징으로 하는 액정표시패널용 기판.

【청구항 20】

투광성 절연기판 상의 화소영역과 주변영역에 게이트 전극과 게이트 배선을 포함하는 게이트 패턴을 형성하는 단계;

상기 게이트 패턴을 포함하는 상기 기판 상에 게이트 절연막, 비정질 실리콘층, 불순물이 도핑된 비정질 실리콘층 및 금속층을 순차적으로 형성하는 단계;

소오스 전극과 드레인 전극 사이의 채널 부분의 높이가 소오스 전극 및 드레인 전극 부분의 표면 높이보다 낮은 감광막 패턴을 상기 금속층 위에 형성하는 단계;

상기 감광막 패턴을 마스크로 하여 노출된 금속층과 그 하부의 도핑된 비정질 실리콘층 및 비정질 실리콘층을 패터닝하여, 상기 채널 영역의 상기 금속층을 함께 제거하여 서로 분리된 소오스 및 드레인 전극과 상기 드레인 전극으로부터

터 분기되고 상기 게이트 라인과 직교하는 데이터 라인을 포함하는 데이터 패턴을 형성하는 단계;

상기 감광막 마스크 패턴을 제거하고, 상기 채널 영역의 상기 도핑된 비정질 실리콘 층을 제거하는 단계;

상기 결과적인 기판 상에 제 1 층간 절연막을 형성하는 단계;

상기 제1 층간 절연막을 부분적으로 식각하여 상기 화소영역의 상기 드레인 전극을 부분적으로 노출시키는 제1 콘택홀, 상기 주변 영역의 제 1 트랜지스터의 게이트를 노출하는 제2 콘택홀 및 상기 주변 영역의 제 2 트랜지스터의 소오스/드레인을 노출하는 제3 콘택홀을 형성하는 단계;

상기 제1 내지 제3 콘택홀을 포함하는 상기 제1 층간 절연막 상에 도전막을 형성하는 단계; 및

상기 도전막을 패터닝하여 상기 제1 콘택홀을 통하여 상기 화소영역의 드레인 전극과 연결되는 제1 전극패턴, 상기 제2, 제3 콘택홀을 통하여 상기 제 1 트랜지스터의 노출된 상기 게이트와 상기 제2 트랜지스터의 노출된 상기 소오스/드레인을 연결하는 제2 전극패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시패널용 기판의 제조방법.

【청구항 21】

제 20 항에 있어서, 상기 감광막 마스크 패턴을 형성하는 단계는,

상기 게이트 패턴을 포함하는 상기 기판 위에 상기 게이트 절연막, 상기 비정질 실리콘 막 및 상기 불순물이 고농도로 도핑된 비정질 실리콘 막과, 상기 금속층의 삼층막을 순차적으로 형성하는 단계;

상기 금속층 위에 감광막을 소정 두께로 형성하는 단계;

상기 금속층 위의 소오스/드레인 영역 사이와 상기 소오스 드레인 영역을 제외한 제 1 부분의 감광막은 완전 노광되는 제1 깊이로, 상기 소오스/드레인 영역 사이와 상기 소오스 드레인 영역을 포함하는 제 2 부분의 감광막은 상기 제1 깊이보다 얇은 제2 깊이로 노광하는 단계; 및

상기 감광막의 노광된 제1 부분과, 제2 부분을 현상하여 제거하는 단계를 포함하는 것을 특징으로 하는 액정표시패널용 기판의 제조방법.

【청구항 22】

제21항에 있어서, 상기 삼층막은 PECVD(Plasma Enhanced Chemical Vapor Deposition) 법에 의하여 형성되는 것을 특징으로 하는 액정표시패널용 기판의 제조방법.

【청구항 23】

제21항에 있어서, 상기 감광막 마스크 패턴은 상기 삼층막 위에 포지티브 타입의 감광막을 도포하고, 투광영역과 차광영역을 갖는 마스크를 이용하여 형성 하되, 상기 마스크는 채널 영역과 소오스 영역 사이의 투광영역과 채널 영역과 드레인 영역 사이의 투광 영역에 슬릿을 갖는 것을 특징으로 하는 액정표시패널용 기판의 제조방법.

【청구항 24】

제21항에 있어서, 상기 데이터 패턴의 형성단계에서 노출된 상기 금속층, 불순물이 도핑된 비정질 실리콘 막 및 비정질 실리콘 막을 제거할 때, 상기 제 2 부분의 감광막 마스크 패턴도 함께 제거되도록, 노출된 상기 금속층, 불순물이 도핑된 비정질 실리콘 막 및 비정질 실리콘 막 중 적어도 하나는 건식식각 공정 에 의하여 제거하는 것을 특징으로 하는 액정표시패널용 기판의 제조방법.

【청구항 25】

제20항에 있어서, 상기 층간 절연막은 무기 절연물질 또는 유기 절연물질로 형성하는 것을 특징으로 하는 액정표시패널용 기판의 제조방법.

【청구항 26】

제20항에 있어서, 상기 제1, 제2 전극패턴은 동일재질의 투명한 ITO 또는 IZO로 형성되는 것을 특징으로 하는 액정표시패널용 기판의 제조방법.

【청구항 27】

제20항에 있어서, 상기 제1, 제2 전극패턴은 동일 재질의 불투명한 금속막 으로 이루어지고, 상기 층간절연막은 표면에 엠보싱을 갖는 감광성 유기절연막인 것을 특징으로 하는 액정표시패널용 기판의 제조방법.

【청구항 28】

투광성 절연기판 상의 화소영역과 주변영역에 게이트 전극과 게이트 배선을 포함하는 게이트 패턴을 형성하는 단계;

상기 게이트 패턴을 포함하는 상기 기판 상에 게이트 절연막, 비정질 실리콘층, 불순물이 도핑된 비정질 실리콘층 및 금속층을 순차적으로 형성하는 단계;

소오스 전극과 드레인 전극 사이의 채널 부분의 높이가 소오스 전극 및 드레인 전극 부분의 표면 높이보다 낮은 감광막 패턴을 상기 금속층 위에 형성하는 단계;

상기 감광막 패턴을 마스크로 하여 노출된 금속층과 그 하부의 도핑된 비정질 실리콘층 및 비정질 실리콘층을 패터닝하여 상기 채널 영역의 상기 금속층을 함께 제거하여 서로 분리된 소오스 및 드레인 전극을 포함하는 데이터 패턴을 형성하는 단계;

상기 감광막 패턴을 제거하고, 상기 채널 영역의 상기 도핑된 비정질 실리콘층을 제거하는 단계;

상기 결과적인 기판 상에 제1 층간 절연막을 형성하는 단계;

상기 제1 층간 절연막을 부분적으로 식각하여 상기 화소영역의 상기 드레인 전극을 부분적으로 노출하는 제1 콘택홀, 상기 화소영역의 상기 소오스 전극을 부분적으로 노출하는 제2 콘택홀, 상기 주변 영역의 제1 트랜지스터의 게이트를 노출하는 제3 콘택홀 및 상기 주변 영역의 제2 트랜지스터의 소오스/드레인을 노출하는 제4 콘택홀을 형성하는 단계;

상기 제1 내지 제4 콘택홀을 포함하는 상기 제1 층간 절연막 상에 도전막을 형성하는 단계; 및

상기 도전막을 패터닝하여 상기 제1 콘택홀을 통하여 상기 화소영역의 소오스 전극과 연결되는 제1 전극패턴, 상기 제2 콘택홀을 통하여 화소영역의 드레인 전극과 연결되는 제2 전극패턴 및 상기 제3, 제4 콘택홀을 통하여 상기 주변영역의 상기 제1 트랜지스터의 상기 노출된 게이트와 상기 제2 트랜지스터의 상기 노출된 소오스/드레인을 연결하는 제3 전극패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시패널용 기판의 제조방법.

【청구항 29】

제28항에 있어서, 상기 감광막 마스크 패턴을 형성하는 단계는,

상기 게이트 패턴을 포함하는 결과적인 기판 위에 상기 게이트 절연막, 상기 비정질 실리콘 막 및 상기 불순물이 고농도로 도핑된 비정질 실리콘 막과, 상기 금속층의 삼층막을 순차적으로 형성하는 단계;

상기 금속층 위에 감광막을 소정 두께로 형성하는 단계;

상기 금속층 위의 소오스/드레인 영역 사이와 상기 소오스 드레인 영역을 제외한 제1 부분의 감광막은 완전 노광되는 제1 깊이로, 상기 소오스/드레인 영역 사이와 상기 소오스 드레인 영역을 포함하는 제2 부분의 감광막은 상기 제1 깊이보다 얇은 제2 깊이로 노광하는 단계; 및

상기 감광막의 노광된 제1 부분과, 제2 부분을 현상하여 제거하는 단계를 포함하는 것을 특징으로 하는 액정표시패널용 기판의 제조방법.

【청구항 30】

제29항에 있어서, 상기 삼층막은 PECVD(Plasma Enhanced Chemical Vapor Deposition) 법에 의하여 형성되는 것을 특징으로 하는 액정표시패널용 기판의 제조방법.

【청구항 31】

제29항에 있어서, 상기 감광막 마스크 패턴은 상기 삼층막 위에 포지티브 타입의 감광막을 도포하고, 투광영역과 차광영역을 갖는 마스크를 이용하여 형성 하되, 상기 마스크는 채널 영역과 소오스 영역 사이의 투광영역과 채널 영역과 드레인 영역 사이의 투광 영역에 슬릿을 갖는 것을 특징으로 하는 액정표시패널 용 기판의 제조방법.

【청구항 32】

제29항에 있어서, 상기 데이터 패턴의 형성단계에서 노출된 상기 금속층, 불순물이 도핑된 비정질 실리콘 막 및 비정질 실리콘 막을 제거할 때, 상기 제 2 부분의 감광막 마스크 패턴도 함께 제거되도록, 노출된 상기 금속층, 불순물이 도핑된 비정질 실리콘 막 및 비정질 실리콘 막 중 적어도 하나는 건식식각 공정 에 의하여 제거하는 것을 특징으로 하는 액정표시패널용 기판의 제조방법.

【청구항 33】

제29항에 있어서, 상기 제1 층간 절연막은 무기 절연물질 또는 유기 절연물질로 형성하는 것을 특징으로 하는 액정표시패널용 기판의 제조방법.

【청구항 34】

제29항에 있어서, 상기 제1, 제2, 제3 전극패턴은 동일재질의 투명한 ITO 또는 IZO로 형성되는 것을 특징으로 하는 액정표시패널용 기판의 제조방법.

【청구항 35】

제29항에 있어서, 상기 제1, 제2, 제3 전극패턴은 동일 재질의 불투명한 금속막으로 이루어지고, 상기 층간절연막은 표면에 엠보싱을 갖는 감광성 유기절연막인 것을 특징으로 하는 액정표시패널용 기판의 제조방법.

【청구항 36】

투광성 절연기판 상의 화소영역과 주변영역에 게이트 전극과 게이트 배선을 포함하는 게이트 패턴을 형성하는 단계;

상기 게이트 패턴을 포함하는 상기 기판 상에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막상에 제1 불순물 영역, 제2 불순물 영역 및 상기 제1 불순물 영역과 상기 제2 불순물 영역 사이에 채널 영역을 포함하는 활성층 패턴을 형성하는 단계;

상기 제1 불순물 영역 위에서 상기 제1 불순물 영역과 콘택되는 드레인 전극과, 상기 제2 불순물 영역 위에서 상기 제2 불순물 영역과 콘택되는 소오스 전극과, 상기 소오스 전극으로부터 분기되어 상기 게이트 라인과 직교하는 데이터 라인을 포함하는 데이터 패턴을 형성하는 단계;

상기 데이터 패턴을 포함하는 결과적인 기판 상에 층간 절연막을 형성하는 단계;

상기 층간 절연막을 부분적으로 식각하여 상기 화소영역의 상기 드레인 전극을 부분적으로 노출하는 제1 콘택홀, 상기 주변 영역의 제1 트랜지스터의 게이트를 노출하는 제 2 콘택홀 및 상기 주변 영역의 제2 트랜지스터의 소오스/드레인을 노출하는 제3 콘택홀을 형성하는 단계;

상기 제 1 내지 제 3 콘택홀을 포함하는 상기 층간 절연막 상에 도전막을 형성하는 단계; 및

상기 도전막을 패터닝하여 상기 제1 콘택홀을 통하여 상기 화소영역의 드레인 전극과 연결되는 제1 전극패턴, 상기 제2, 제3 콘택홀을 통하여 상기 주변영역의 상기 제1 트랜지스터의 상기 노출된 게이트와 상기 제2 트랜지스터의 상기 노출된 상기 소오스/드레인을 연결하는 제2 전극패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시패널용 기판의 제조방법.

【청구항 37】

제36항에 있어서, 상기 게이트 패턴은 상기 화소영역의 투광성 절연기판 상에 상기 게이트 배선과 동일한 층으로 형성되고 상기 게이트 배선과 평행하게 소정 간격을 두고 이격된 캐패시터용 하부전극과, 상기 주변영역의 투광성 절연기판 상에 상기 게이트 배선과 동일한 층으로 형성되고, 상기 게이트 배선의 일측면으로부터 연장된 캐패시터용 하부전극을 더 구비하는 것을 특징으로 하는 액정표시패널용 기판의 제조방법.

【청구항 38】

제36항에 있어서, 상기 주변영역은 게이트 드라이브 영역과 패드영역을 포함하며, 상기 게이트 드라이브 영역의 데이터 패턴은 제 1, 제 구동 트랜지스터의 소오스, 드레인 전극을 포함하며, 상기 소오스, 드레인 전극은 인터디지털 구조를 갖는 것을 특징으로 하는 액정표시패널용 기판의 제조 방법.

【청구항 39】

제38항에 있어서, 상기 게이트 드라이브 영역의 상기 제1 구동 트랜지스터의 드레인 전극은 상기 제 2 박막 트랜지스터의 소오스 전극측으로 연장된 상부 캐패시터 전극을 갖는 것을 특징으로 하는 액정표시패널용 기판의 제조 방법.

【청구항 40】

투광성 절연기판 상의 화소영역과 주변영역에 게이트 전극과 게이트 배선을 포함하는 게이트 패턴을 형성하는 단계;

상기 게이트 패턴을 포함하는 상기 기판 상에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막상에 제1 불순물 영역, 제2 불순물 영역 및 상기 제1 불순물 영역과 상기 제2 불순물 영역 사이에 채널 영역을 포함하는 활성층 패턴을 형성하는 단계;

상기 제1 불순물 영역 위에서 상기 제1 불순물 영역과 콘택되는 드레인 전극과, 상기 제2 불순물 영역 위에서 상기 제2 불순물 영역과 콘택되는 소오스 전

극과, 상기 소오스 전극으로부터 분기되어 상기 게이트 라인과 직교하는 데이터 라인을 포함하는 데이터 패턴을 형성하는 단계;

상기 데이터 패턴을 포함하는 기판 상에 제1 층간 절연막을 형성하는 단계;

상기 제1 층간 절연막을 부분적으로 식각하여 상기 화소영역의 상기 소오스 전극을 부분적으로 노출시키는 제1 콘택홀, 상기 화소영역의 상기 드레인 전극을 부분적으로 노출하는 제2 콘택홀, 상기 주변 영역의 제1 트랜지스터의 게이트를 노출하는 제3 콘택홀 및 상기 주변 영역의 제2 트랜지스터의 소오스/드레인을 노출하는 제4 콘택홀을 형성하는 단계;

상기 제1 내지 제4 콘택홀을 포함하는 상기 제1 층간 절연막 상에 도전막을 형성하는 단계; 및

상기 도전막을 패터닝하여 상기 제1 콘택홀을 통하여 상기 화소영역의 소오스 전극과 연결되는 제1 전극패턴, 상기 제2 콘택홀을 통하여 상기 화소영역의 드레인 전극과 연결되는 제2 전극패턴 및 상기 제3, 제4 콘택홀을 통하여 상기 주변영역의 상기 제1 트랜지스터의 상기 노출된 게이트와 상기 제2 트랜지스터의 상기 노출된 소오스/드레인을 연결하는 제3 전극패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시패널용 기판의 제조방법.

【청구항 41】

제40항에 있어서, 상기 게이트 패턴은 상기 화소영역의 투광성 절연기판 상에 상기 게이트 배선과 동일한 층으로 형성되고 상기 게이트 배선과 평행하게 소정 간격을 두고 이격된 캐패시터용 하부전극과, 상기 주변영역의 투광성 절연기

판 상에 상기 게이트 배선과 동일한 층으로 형성되고, 상기 게이트 배선의 일측면으로부터 연장된 캐패시터용 하부전극을 더 구비하는 것을 특징으로 하는 액정 표시패널용 기판의 제조방법.

【청구항 42】

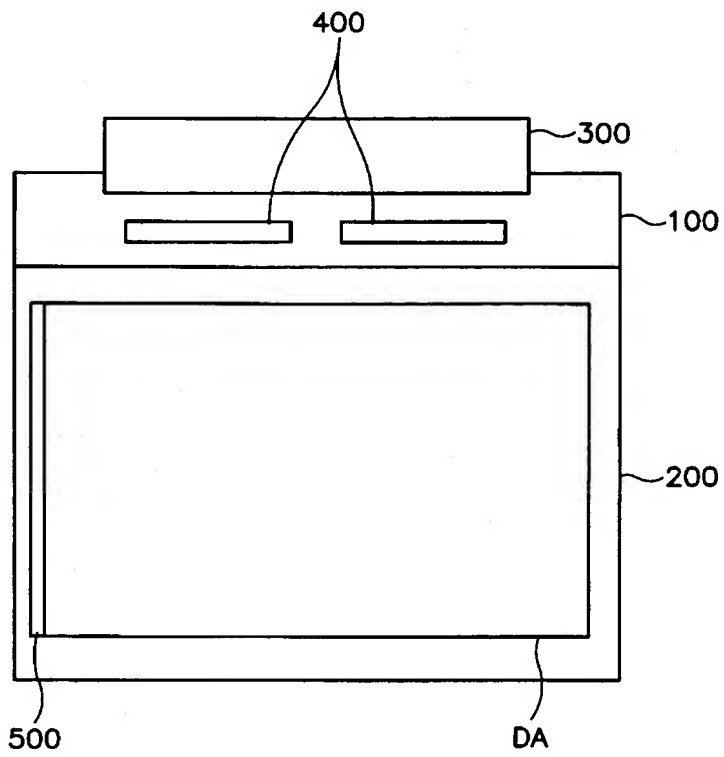
제40항에 있어서, 상기 주변영역은 게이트 드라이브 영역과 패드영역을 포함하며, 상기 게이트 드라이브 영역의 데이터 패턴은 제 1, 제 2 박막 트랜지스터의 소오스, 드레인 전극을 포함하며, 상기 소오스, 드레인 전극은 인터디지털 구조를 갖는 것을 특징으로 하는 액정표시패널용 기판의 제조방법.

【청구항 43】

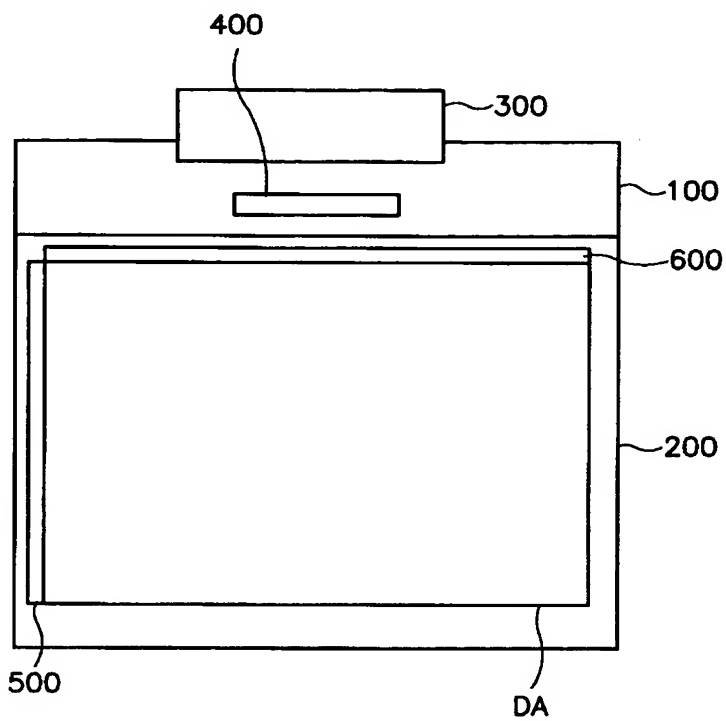
제42항에 있어서, 상기 게이트 드라이브 영역의 상기 제 1 박막 트랜지스터의 드레인 전극은 상기 제 2 박막 트랜지스터의 소오스 전극측으로 연장된 상부 캐패시터 전극을 갖는 것을 특징으로 하는 액정표시패널용 기판의 제조방법.

【도면】

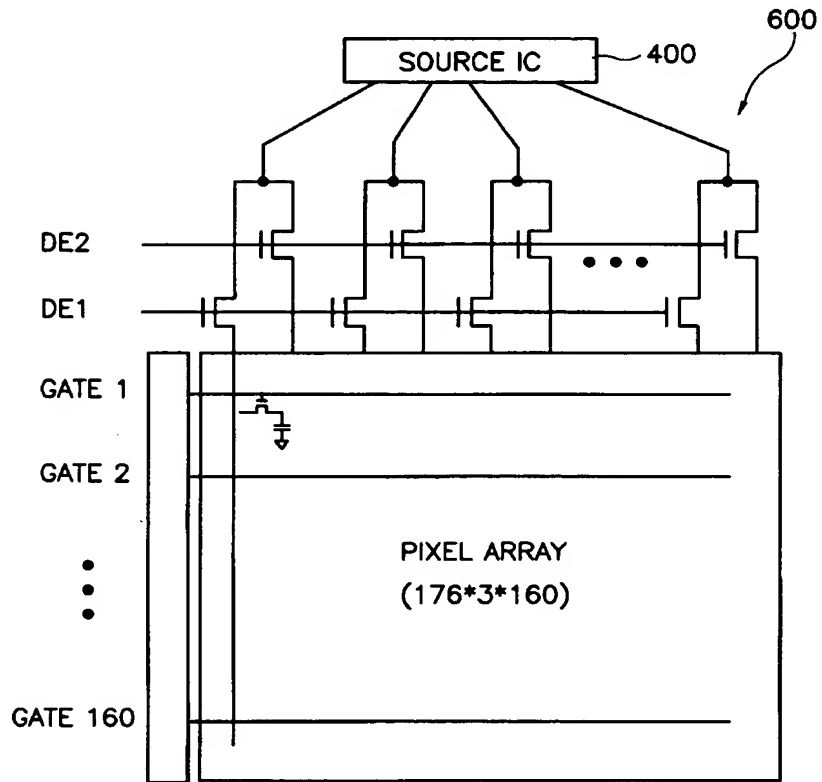
【도 1】



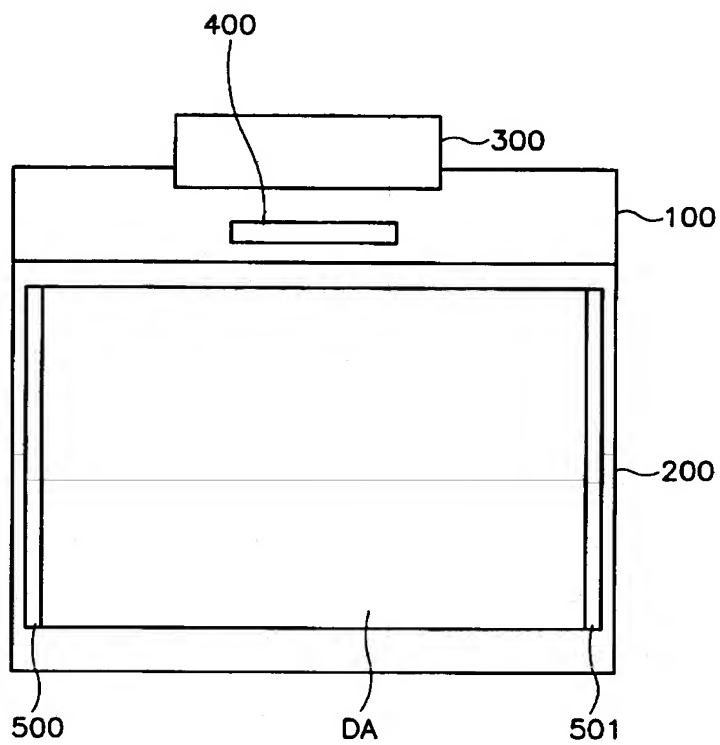
【도 2】



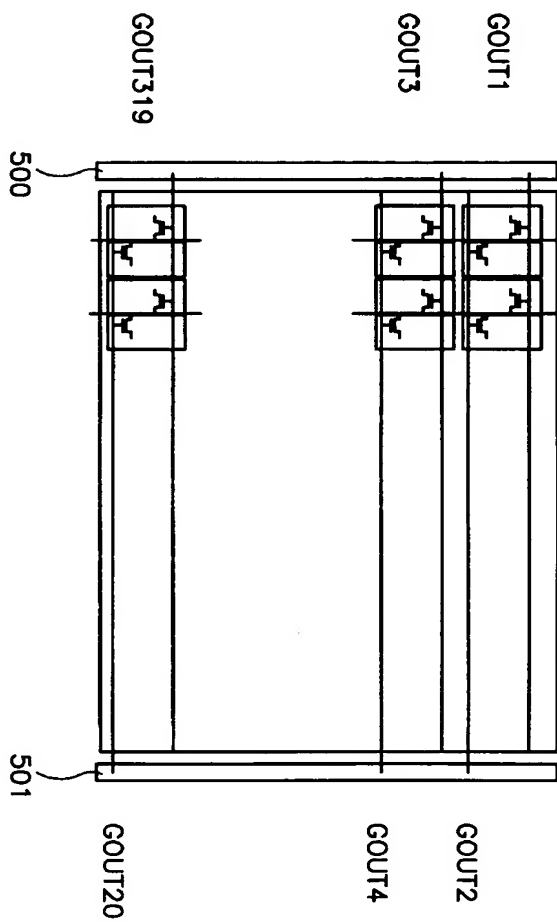
【도 3】



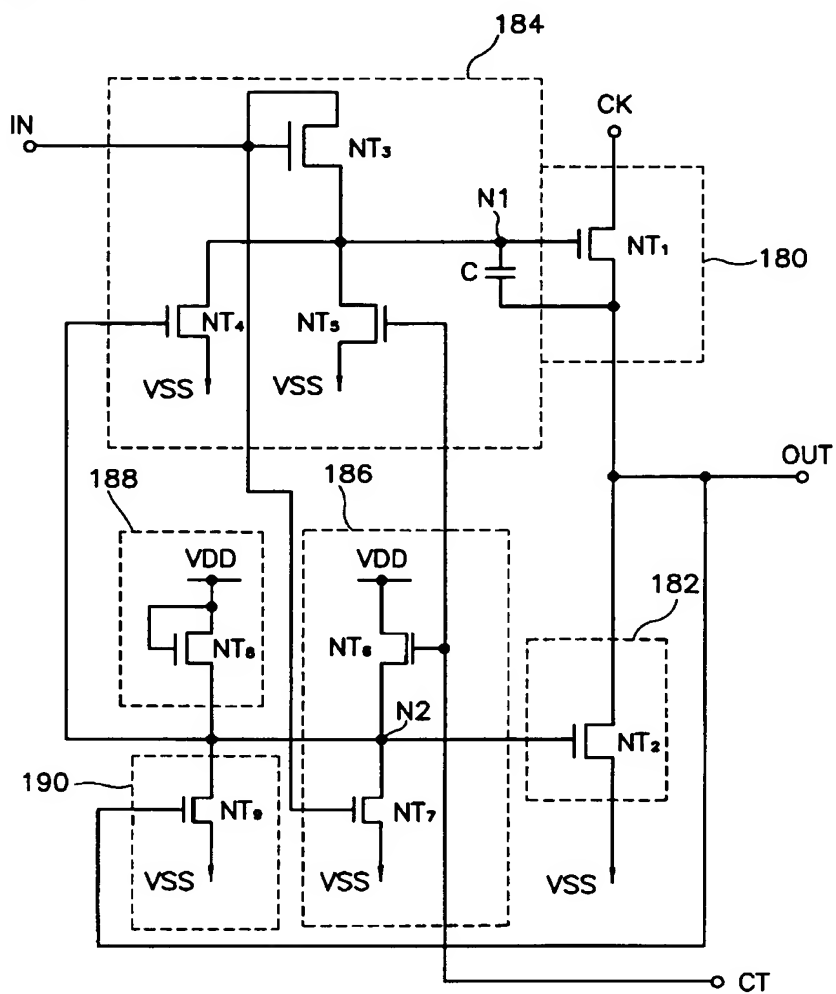
【도 4】



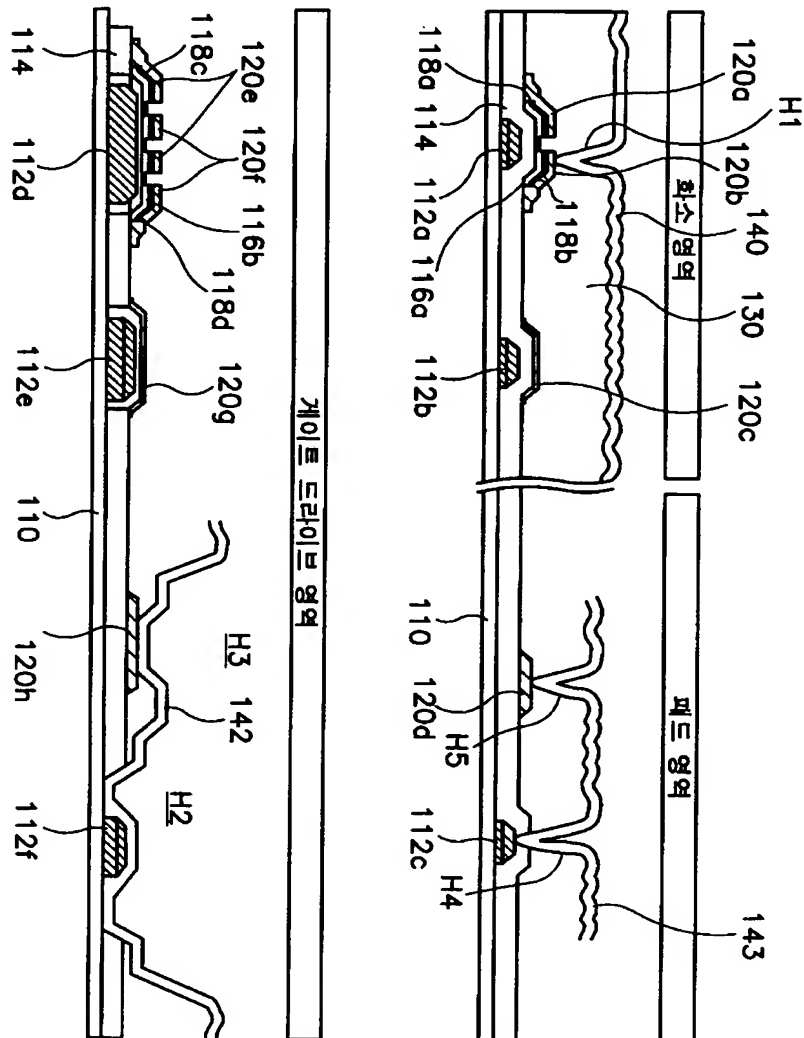
【도 5】



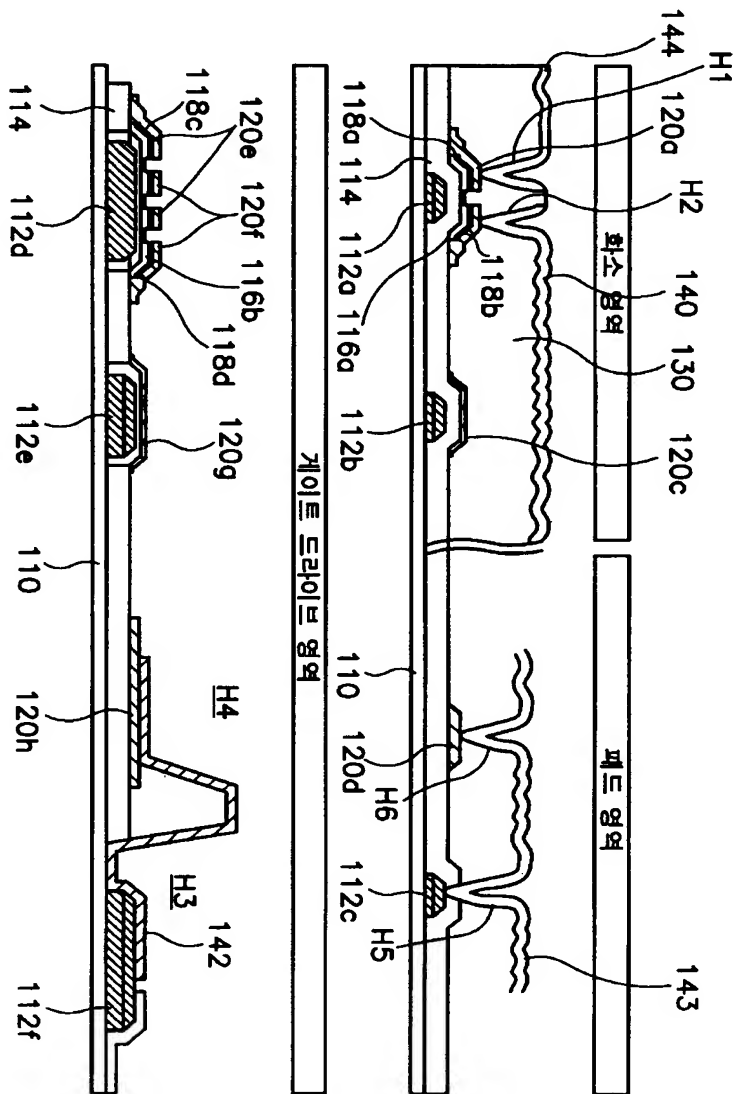
【도 6】



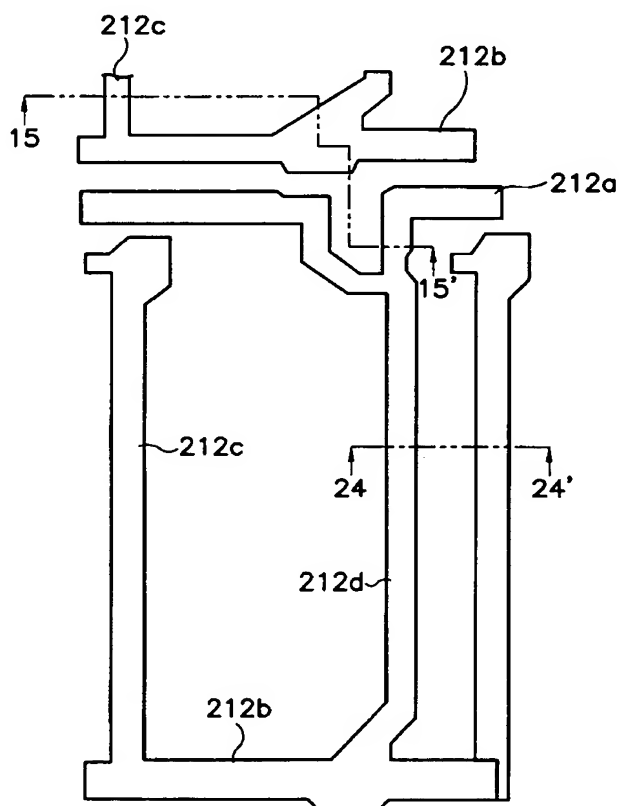
【도 7】



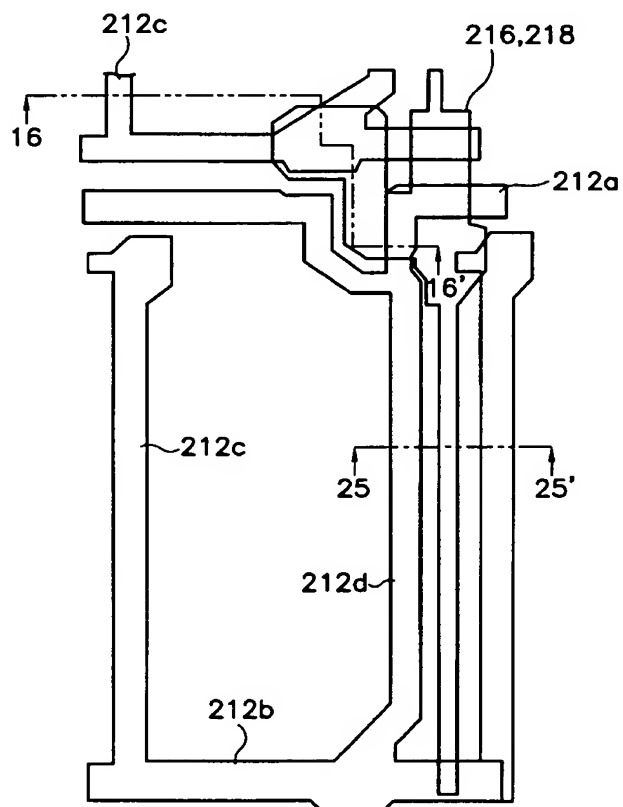
【도 8】



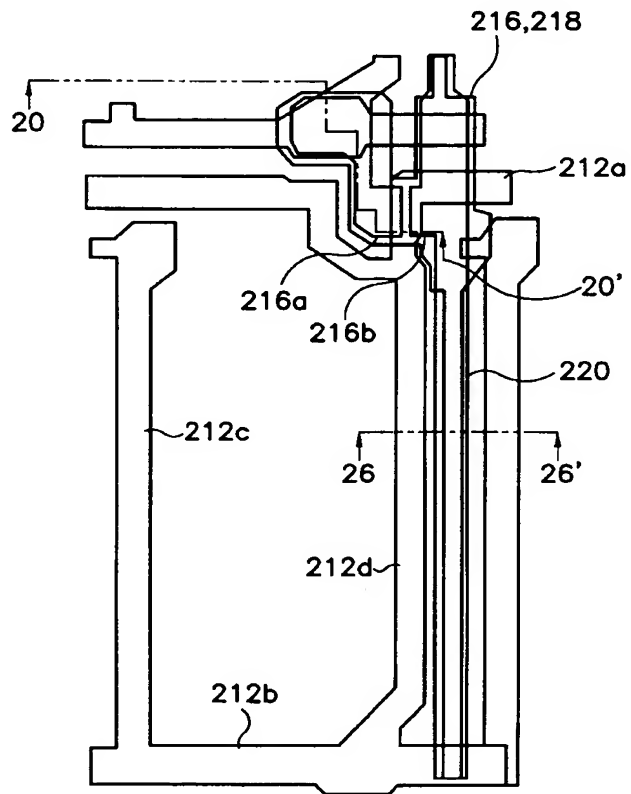
【도 9】



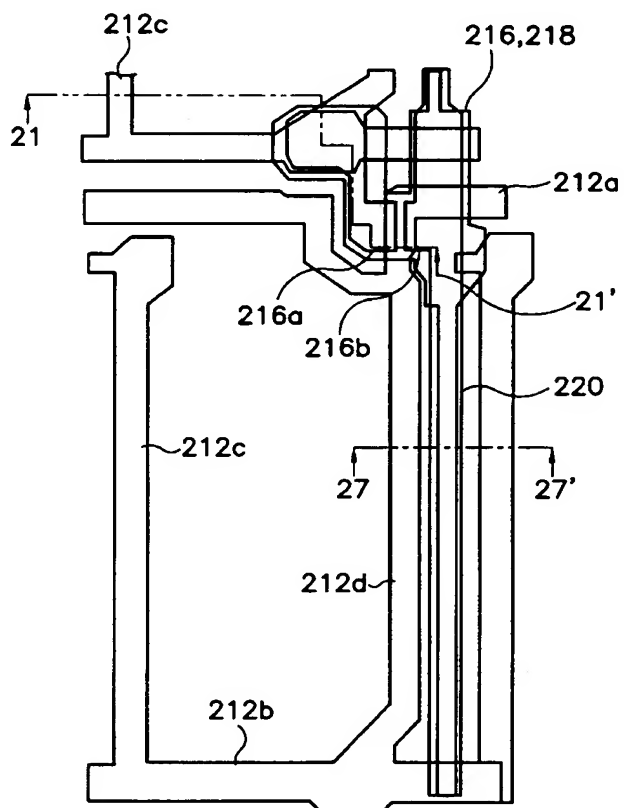
【도 10】



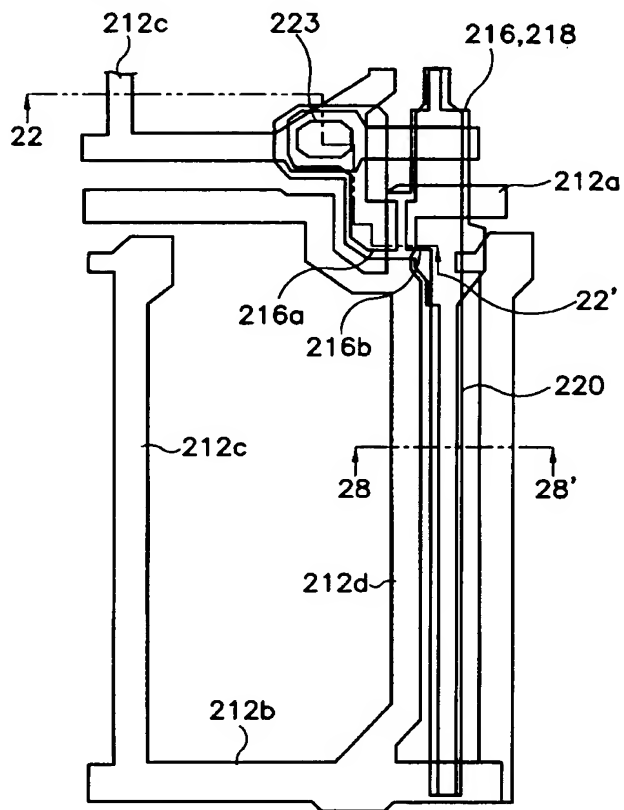
【도 11】



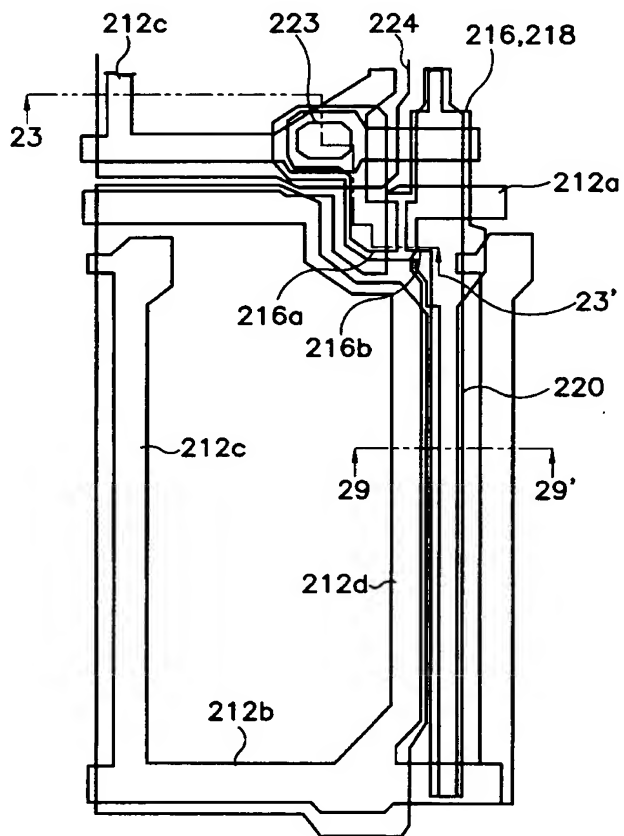
【도 12】



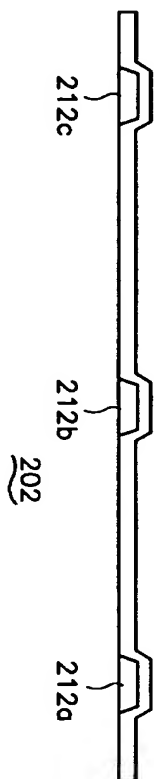
【도 13】



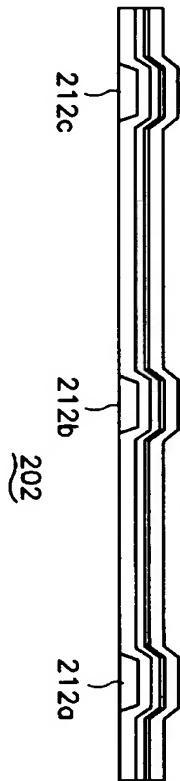
【도 14】



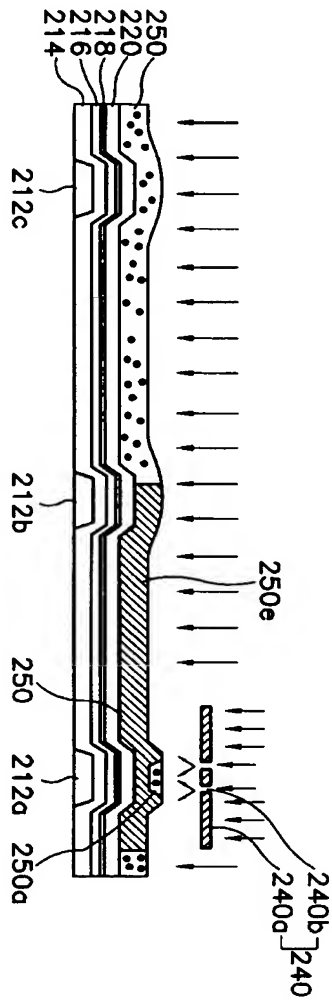
【도 15】



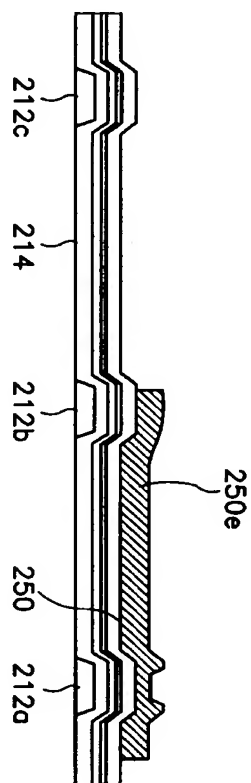
【도 16】



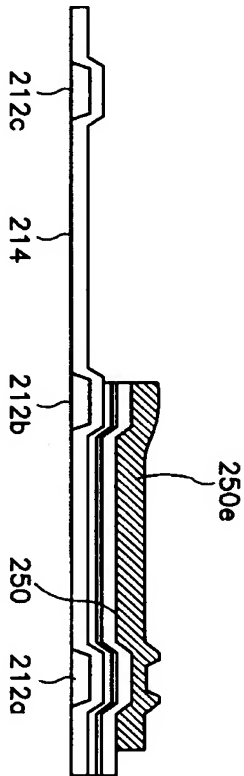
【도 17】



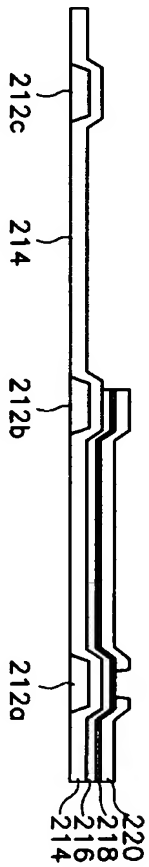
【도 18】



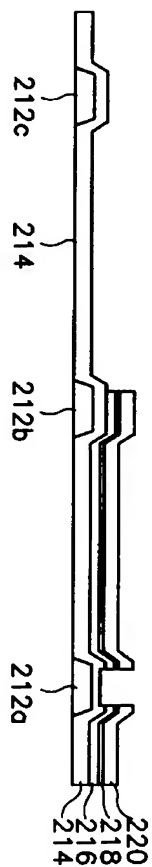
【도 19】



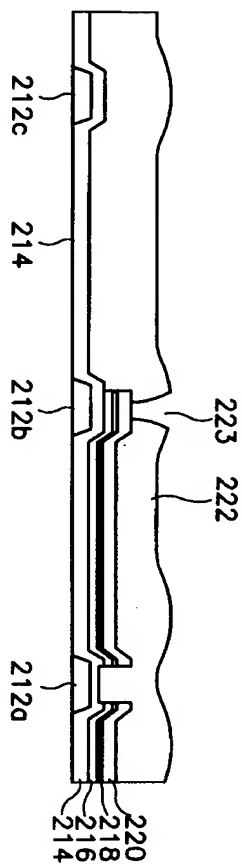
【도 20】



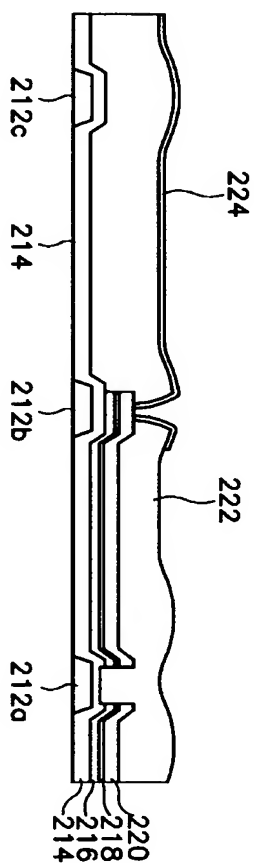
【도 21】



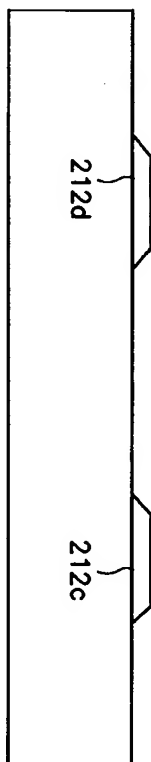
【도 22】



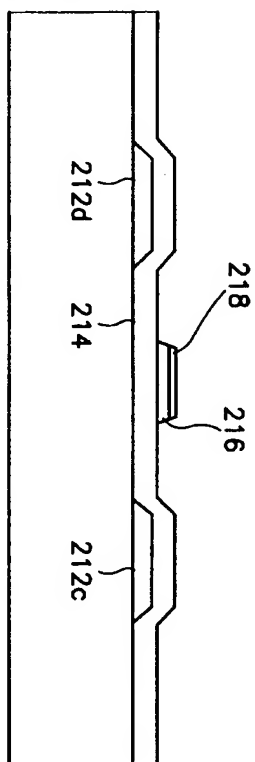
【도 23】



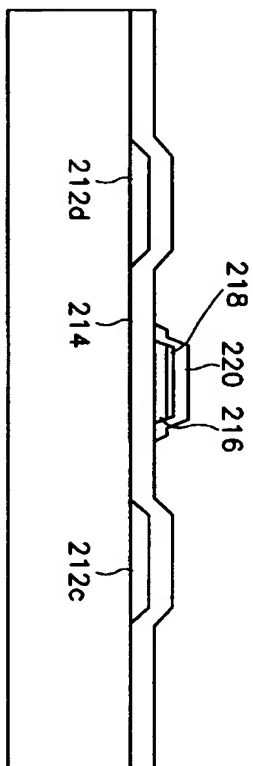
【도 24】



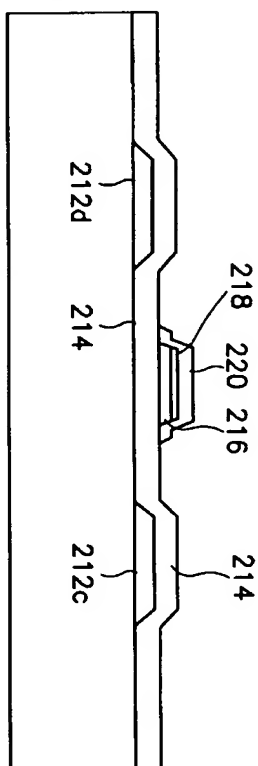
【도 25】



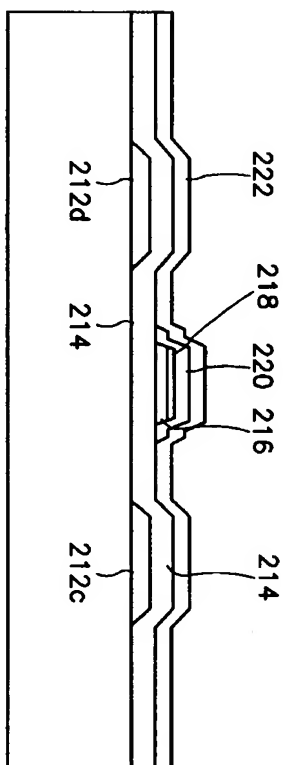
【도 26】



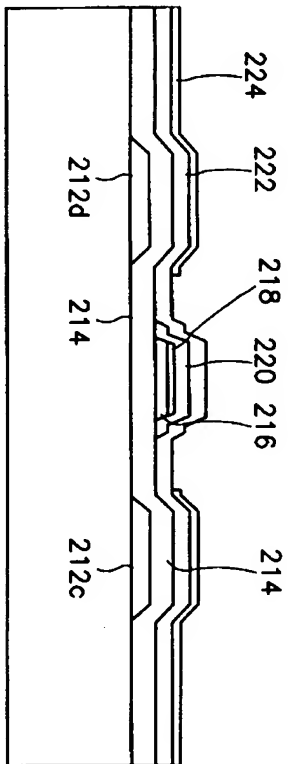
【도 27】



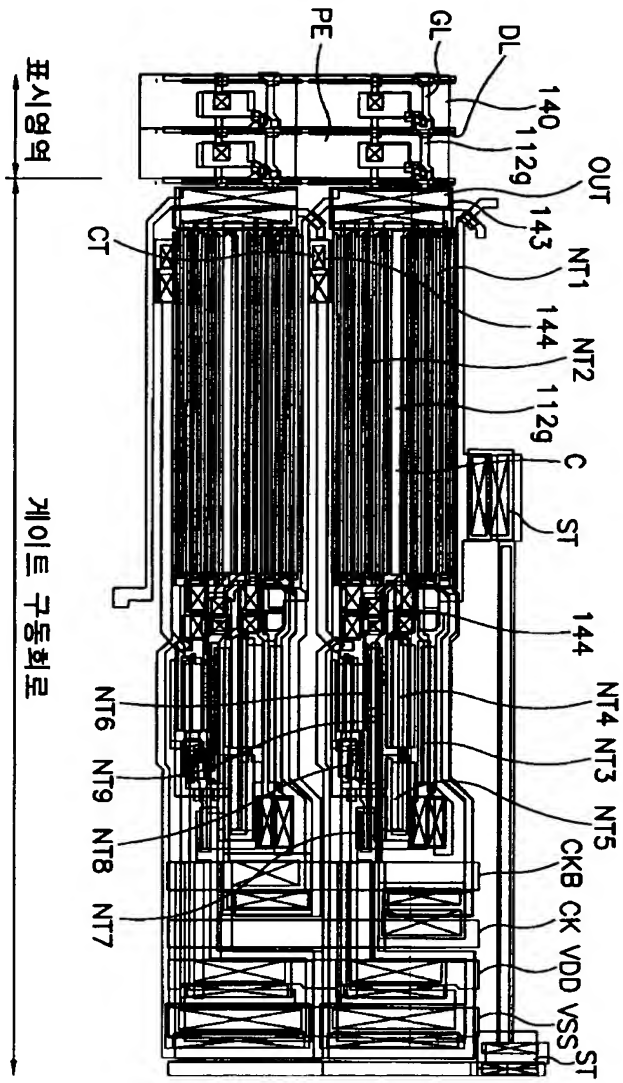
【도 28】



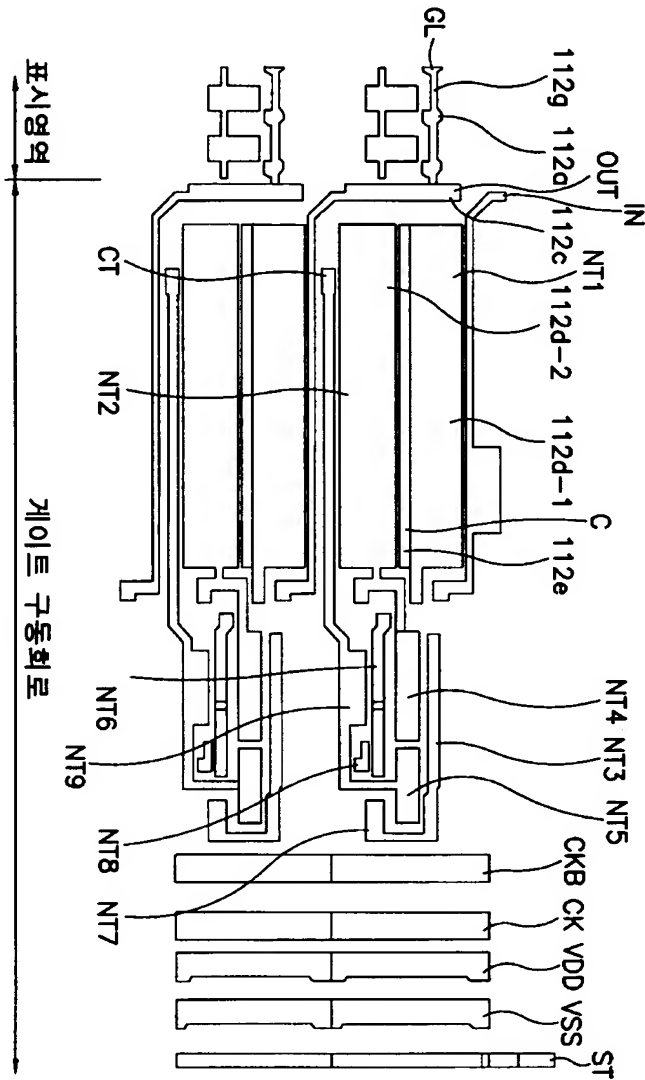
【도 29】



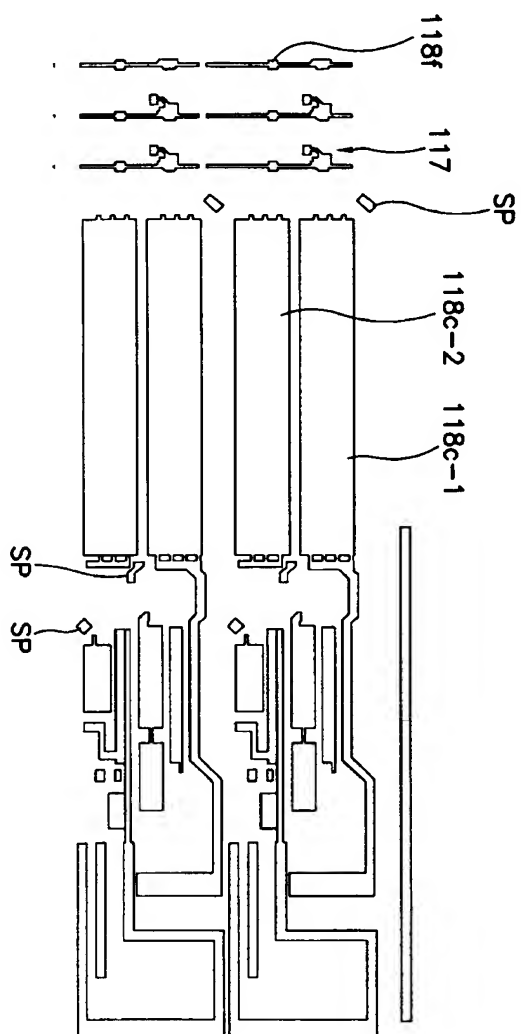
【도 30】



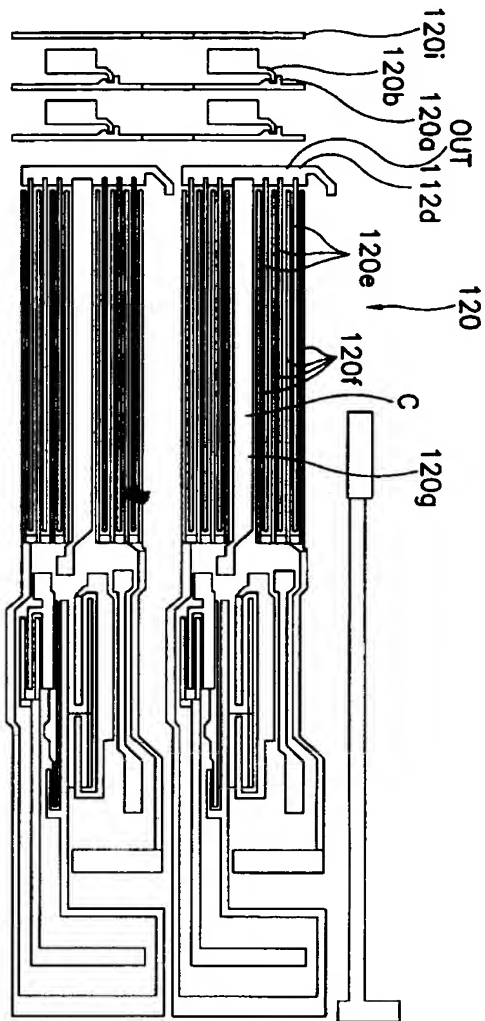
【도 31】



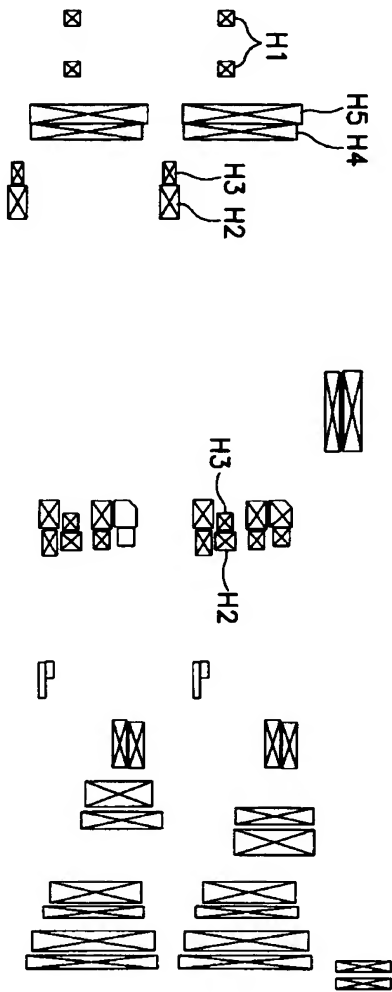
【도 32】



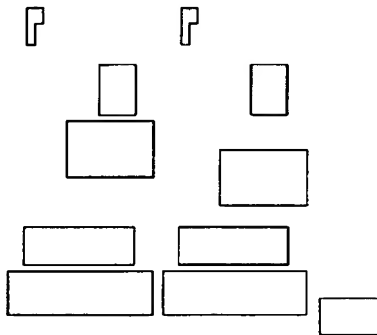
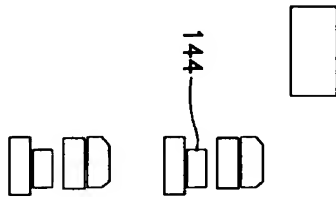
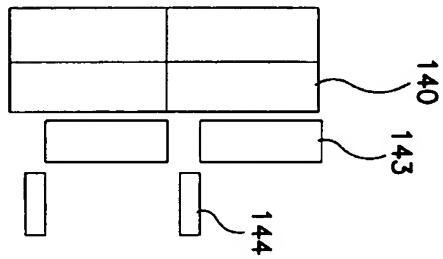
【도 33】



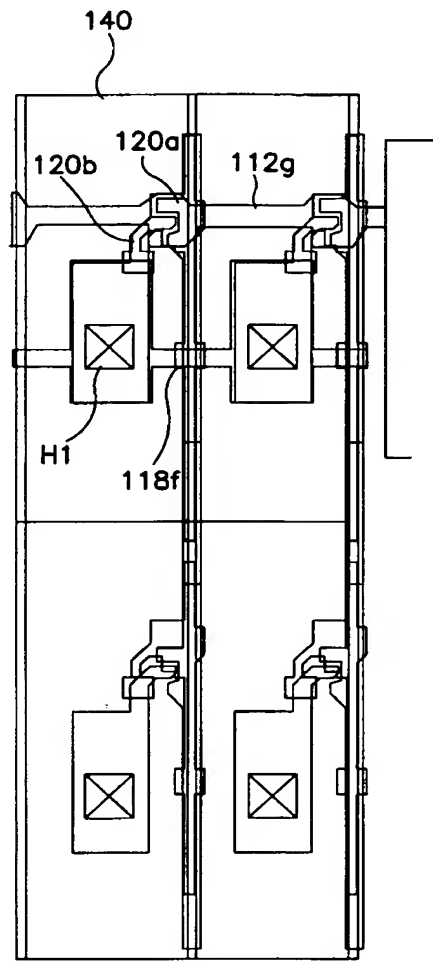
【도 34】



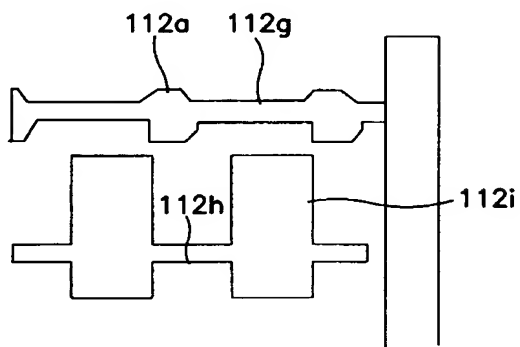
【도 35】



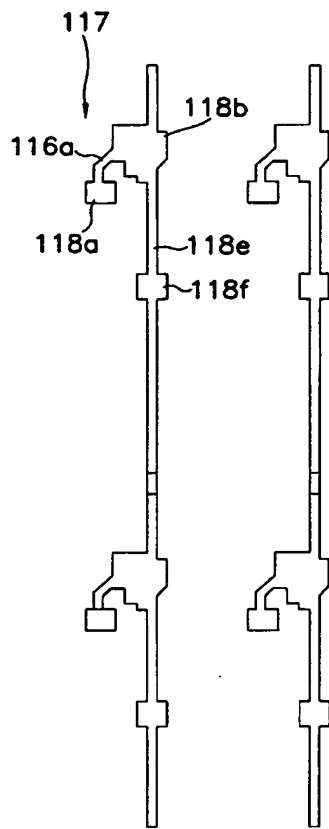
【도 36】



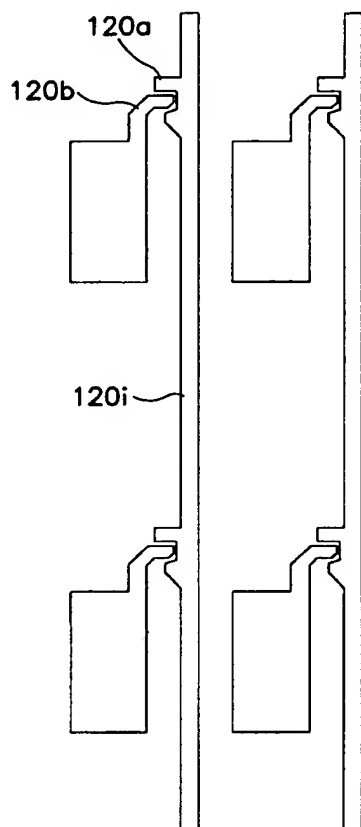
【도 37】



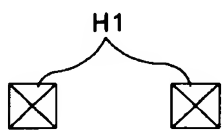
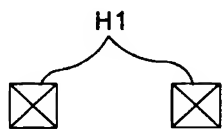
【도 38】



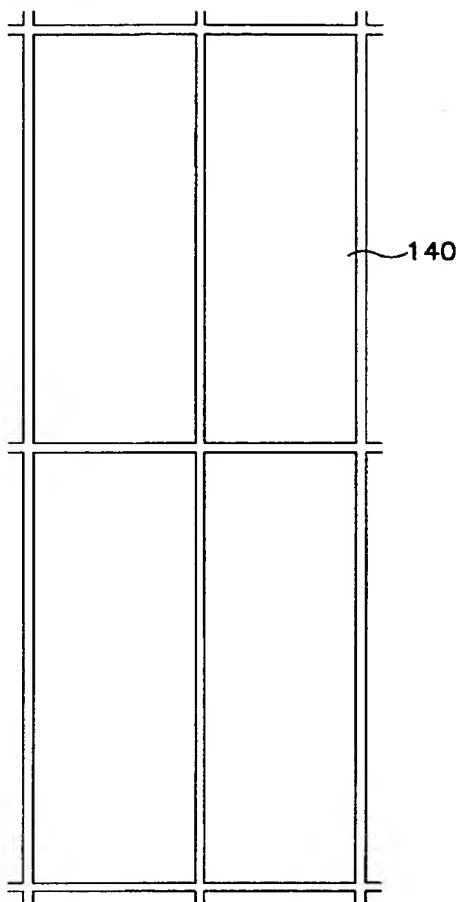
【도 39】



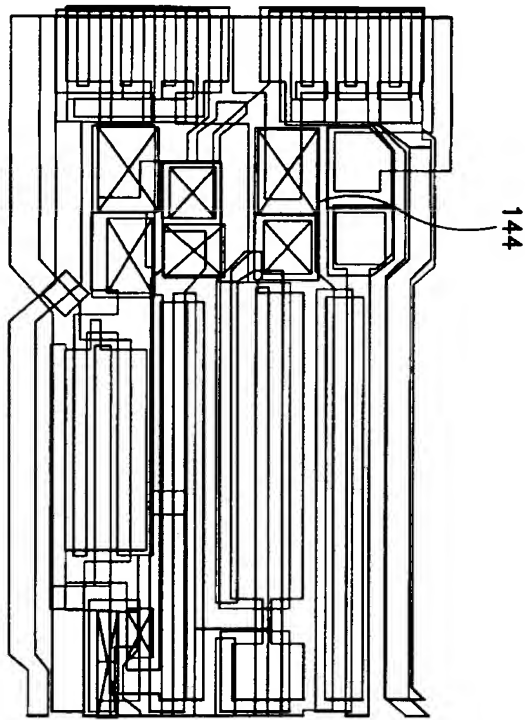
【도 40】



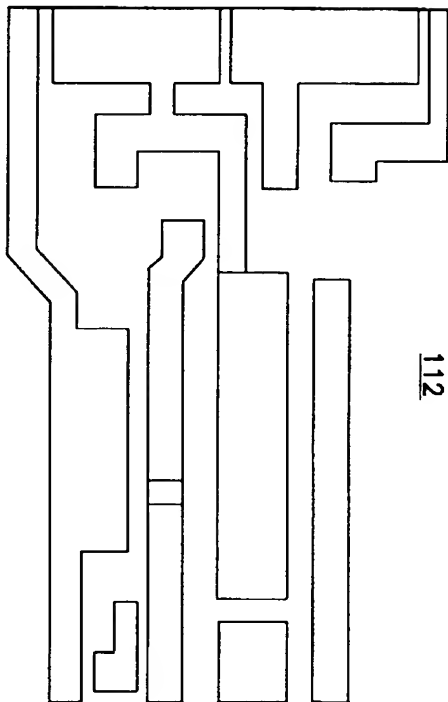
【도 41】



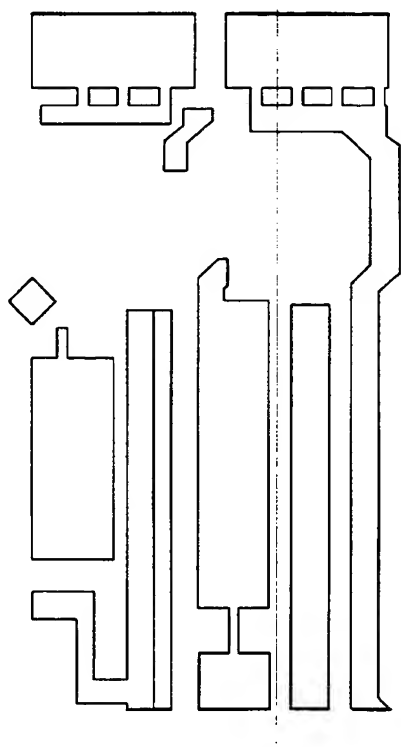
【도 42】



【도 43】

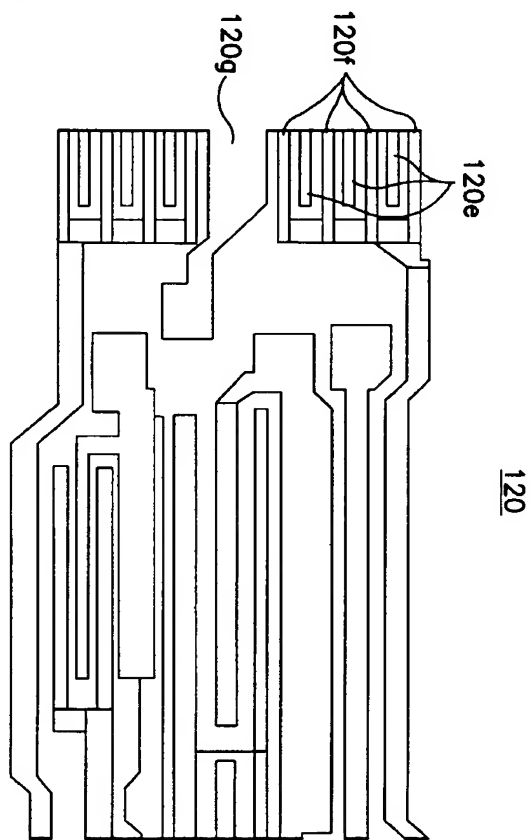


【도 44】

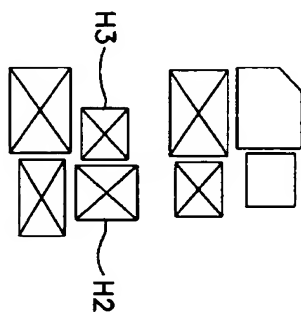


118

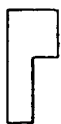
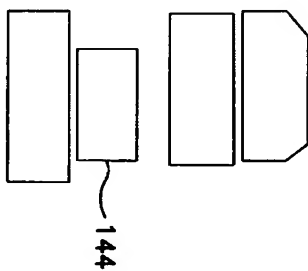
【도 45】



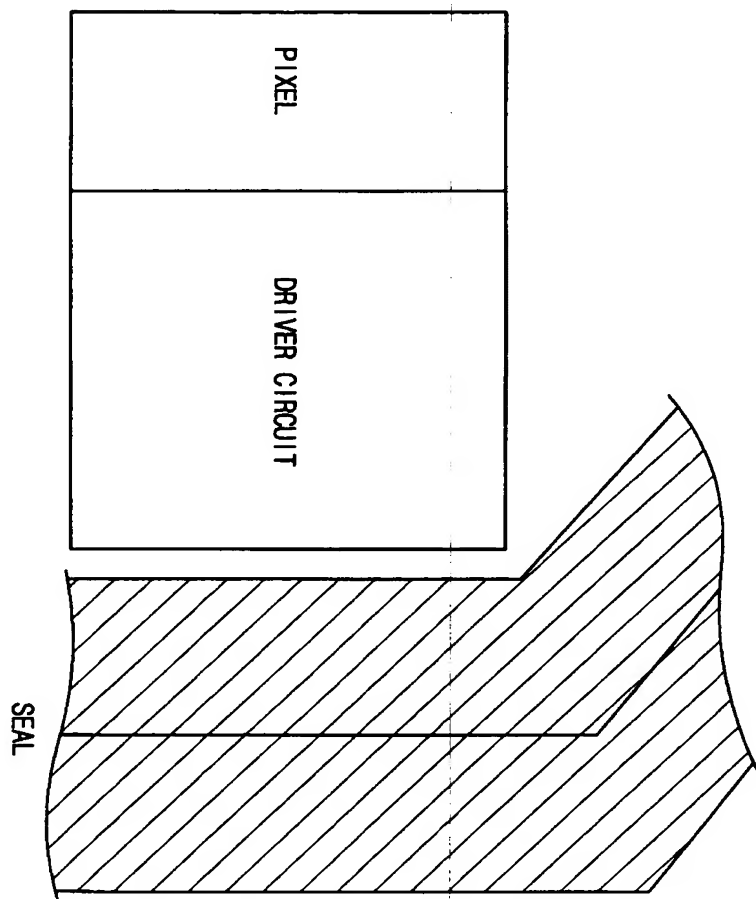
【도 46】



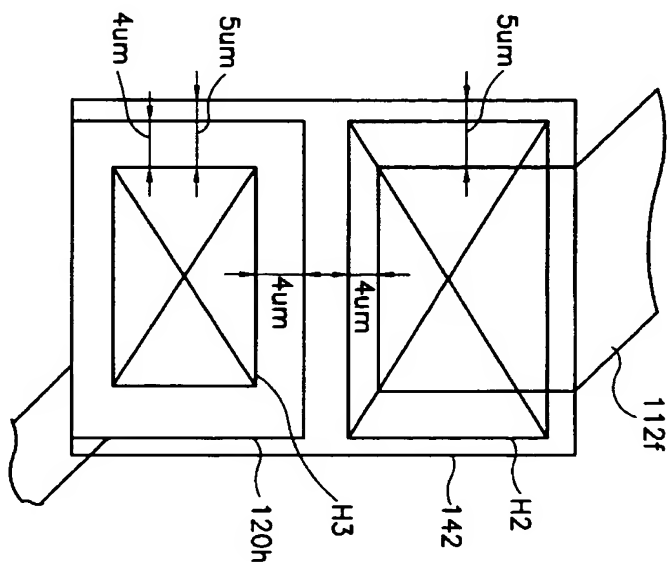
【도 47】



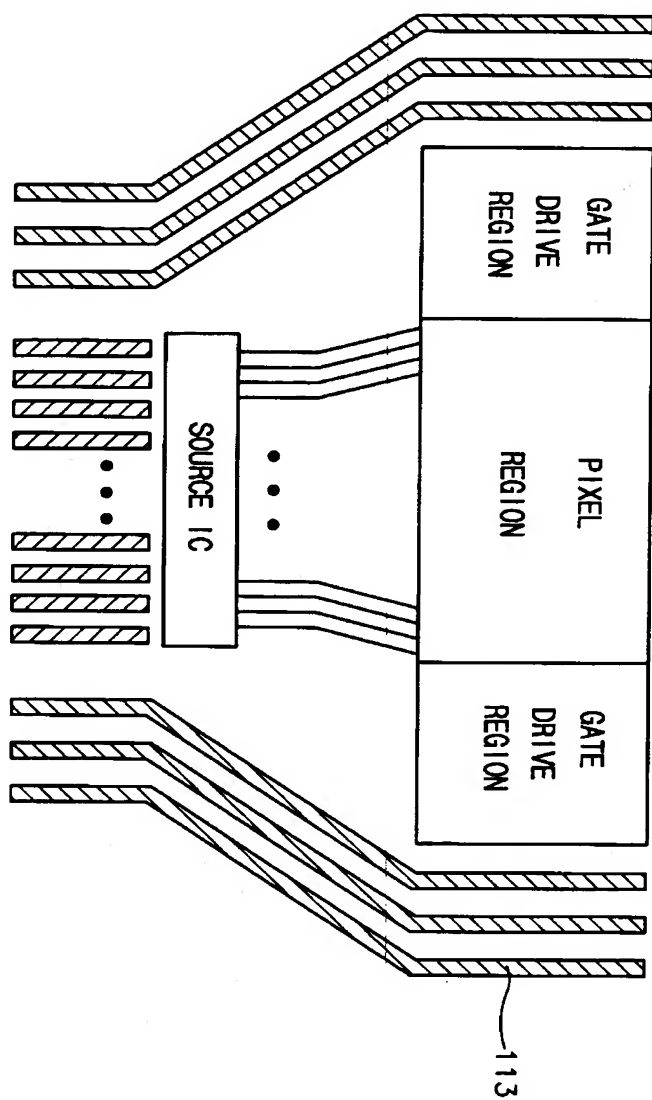
【도 48】



【도 49】



【도 50】



【도 51】

